

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145288

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01L 21/768
H01L 21/304
H01L 21/3205

(21)Application number : 10-081415

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.03.1998

(72)Inventor : OHASHI TADASHI
YAMAGUCHI HIDE
NOGUCHI JUNJI
OWADA NOBUO

(30)Priority

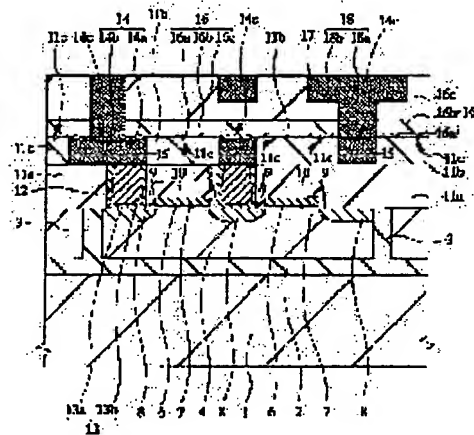
Priority number : 09242825 Priority date : 08.09.1997 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the yield and the reliability of a semiconductor integrated circuit device by preventing a short-circuit defect of a second metal interconnection formed on a first metal interconnection by CPM(chemical mechanical polishing).

SOLUTION: In a semiconductor integrated circuit device, wherein inter-layer insulating films 11a, 11b are formed in an upper part of a semiconductor substrate 1 in which an n-type MISFET Qn is formed, and an interconnection 14 which fills an interconnection recess 14 formed in the interlayer insulating film 11b is formed by depositing a metal film made of copper or the like and polishing it by CMP, an inter-layer insulating film 16 formed on the interconnection 14 and the inter-layer insulating film 11b is constituted of a blocking layer 16a, a planarized layer 16b, and an insulating film 16c. For the planarized layer 16b, a film having a self fluidity such as an SOG(spin-on-glass) film is used.



LEGAL STATUS

[Date of request for examination]

13.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device formed in the principal plane of a semiconductor substrate. The 1st insulator layer where the conductive member which used the grinding method for the crevice which was formed in the upper part of the aforementioned semiconductor device, and was formed in the part, and was formed in it was embedded. The 2nd insulator layer where the conductive member which used the grinding method for the crevice which was formed in the upper surface of the 1st insulator layer of the above, and was formed in the part, and was formed in it was embedded. It is semiconductor integrated circuit equipment equipped with the above, and is characterized by containing in the 2nd insulator layer of the above the fluid insulator layer which has self-taught kinesis.

[Claim 2] It is semiconductor integrated circuit equipment characterized by being semiconductor integrated circuit equipment according to claim 1, and constituting the aforementioned fluid insulator layer so that flattening of the front face of the 2nd insulator layer of the above may be carried out.

[Claim 3] It is semiconductor integrated circuit equipment characterized by being semiconductor integrated circuit equipment according to claim 1 or 2, for the crevice of the 2nd insulator layer of the above constituting a wiring slot, and for the conductive member of the 2nd insulator layer of the above constituting the wiring formed in the aforementioned wiring slot, and forming the aforementioned wiring slot in the upper part of the aforementioned fluid insulator layer.

[Claim 4] semiconductor integrated circuit equipment according to claim 1 or 2 -- it is -- the crevice of the 2nd insulator layer of the above -- a wiring slot and connection -- the wiring with which the hole was

constituted and the conductive member of the 2nd insulator layer of the above was formed in the aforementioned wiring slot, and the aforementioned connection -- the semiconductor integrated circuit equipment characterized by to constitute the plug formed in the hole and to form the aforementioned fluid insulator layer between the aforementioned wiring slots

[Claim 5] Semiconductor integrated circuit equipment according to claim 1 or 2 characterized by providing the following. the crevice of the 2nd insulator layer of the above -- a wiring slot and connection -- the wiring with which the hole was constituted and the conductive member of the 2nd insulator layer of the above was formed in the aforementioned wiring slot the aforementioned connection -- the 1st fluidity insulator layer which constitutes the plug formed in the hole and by which the aforementioned fluid insulator layer is formed between the aforementioned wiring slots The 2nd fluidity insulator layer formed in the lower part of the aforementioned wiring slot.

[Claim 6] It is semiconductor integrated circuit equipment given in any 1 term of claims 1-5. the crevice of the 2nd insulator layer of the above the connection formed in the lower part of the wiring slot formed near the front face of the 2nd insulator layer of the above, and the aforementioned wiring slot -- the wiring section which consists of a hole and by which the aforementioned conductive member was formed in the aforementioned wiring slot, and the aforementioned connection -- the semiconductor integrated circuit equipment characterized by to form as one the connection formed in the hole

[Claim 7] It is semiconductor integrated circuit equipment characterized by being semiconductor integrated circuit equipment given in any 1 term of claims 1-6, and the 2nd insulator layer of the above having the three-tiered structure to which the laminating of the non-fluidity

insulator layer, the aforementioned fluid insulator layer, and the aforementioned non-fluidity insulator layer which do not have self-taught kinesis was carried out.

[Claim 8] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment given in any 1 term of claims 1-7, and is characterized by the aforementioned fluid insulator layer being an SOG film.

[Claim 9] It is semiconductor integrated circuit equipment by which is semiconductor integrated circuit equipment according to claim 8, and it is being [the aforementioned SOG film / an inorganic SOG film] characterized.

[Claim 10] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment given in any 1 term of claims 1-7, and is characterized by the aforementioned fluid insulator layer being a silicon oxide formed of generation of the silanol in a gaseous phase, and the reaction of the aforementioned silanol on a low-temperature substrate.

[Claim 11] semiconductor integrated circuit equipment given in any 1 term of claims 1-10 -- it is -- the aforementioned crevice, a wiring slot, or connection -- the semiconductor integrated circuit equipment characterized by for the width of face W of a hole being within the limits of the maximum width Wmax and minimum width of face Wmin, and satisfying the conditions of $W_{max} \leq 4 \times W_{min}$ **

[Claim 12] The semiconductor device formed in the principal plane of a semiconductor substrate. The 1st insulator layer where the conductive member which used the grinding method for the crevice which was formed in the upper part of the aforementioned semiconductor device, and was formed in the part, and was formed in it was embedded. The 2nd insulator layer where the conductive member which used the grinding method for the crevice which was formed in the upper surface of the 1st insulator layer of the above, and was

formed in the part, and was formed in it was embedded. It is semiconductor integrated circuit equipment equipped with the above, and is characterized by containing in the 2nd insulator layer of the above the insulator layer by which flattening was carried out by the grinding method.

[Claim 13] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment given in any 1 term of claims 1-12, and is characterized by forming the diffusion prevention film which prevents diffusion of the metallic element which constitutes the aforementioned wiring in the upper surface of the wiring formed in the aforementioned crevice or the wiring slot.

[Claim 14] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 13, and is characterized by the aforementioned diffusion prevention film being a silicon nitride formed by the plasma CVD method.

[Claim 15] The process which is the manufacture method of semiconductor integrated circuit equipment, and forms a crevice in the 1st insulator layer formed on (a) semiconductor substrate, (b) The process and the 1st conductivity film of (c) above which form in the front face of the 1st insulator layer including the interior of the aforementioned crevice of the above the 1st conductivity film which embeds the aforementioned crevice are ground. The process which forms the aforementioned 1st conductivity member by leaving the aforementioned 1st conductivity film in the crevice of the 1st insulator layer of the above, (d) -- the above -- the process which forms in the upper part of a member the 2nd insulator layer containing the fluid insulator layer which has self-taught kinesis the 1st conductivity -- (e) The process which forms a crevice in the 2nd insulator layer of the above, the process which forms the 2nd conductivity film

which embeds the crevice of the 2nd insulator layer of (f) above, and the 2nd conductivity film of (g) above are ground. The manufacture method of the semiconductor integrated circuit equipment characterized by including the process which forms the 2nd conductivity member in the crevice of the 2nd insulator layer of the above.

[Claim 16] It is the manufacture method of the semiconductor integrated circuit equipment which is the manufacture method of semiconductor integrated circuit equipment according to claim 15, and is characterized by forming the aforementioned fluid insulator layer by applying and heat-treating an SOG film to the aforementioned semiconductor substrate.

[Claim 17] It is the manufacture method of semiconductor integrated circuit equipment according to claim 15. the aforementioned fluid insulator layer The aforementioned semiconductor substrate is held at low temperature 100 degrees C or less to the reaction chamber under reduced pressure atmosphere. the inside of the aforementioned reaction chamber -- SiH_x M 4-x (however, M -- the alkyl group of carbon numbers 1-3 --) $1 \leq x \leq 4$ and H2 O2 The manufacture method of the semiconductor integrated circuit equipment characterized by being formed by heat-treating the aforementioned semiconductor substrate which introduced, and generated the silanol and the aforementioned silanol deposited.

[Claim 18] The width of face W of the aforementioned crevice in which it is the manufacture method of semiconductor integrated circuit equipment given in any 1 term of claims 15-17, and the aforementioned 1st conductivity member is formed is the manufacture method of the semiconductor integrated circuit equipment characterized by being formed so that the maximum width Wmax may become less than ($W_{\min} \leq W \leq 4W_{\min}$) 4

times of the minimum width of face Wmin.

[Claim 19] The aforementioned conductive film which is the manufacture method of semiconductor integrated circuit equipment according to claim 18, and was embedded in the aforementioned (b) process in the crevice of the 1st insulator layer of the above The altitude H1 in the aforementioned crevice in the aforementioned minimum width of face Wmin and its altitude H2 in the aforementioned crevice in the aforementioned maximum width Wmax almost equally ($H1 \approx H2$) And the aforementioned altitude H1 and H2 is the manufacture methods of the semiconductor integrated circuit equipment characterized by the thing higher ($H1 \approx H2 > L2$) than the altitude L1 of the front face of the 1st insulator layer of the above.

[Claim 20] The aforementioned 1st conductivity member which is the manufacture method of the claim claim 18 or semiconductor integrated circuit equipment given in 19, and was ground in the aforementioned (c) process the 1st conductivity of the above in the aforementioned crevice in the aforementioned minimum width of face Wmin -- a member -- the 1st conductivity of the above in the surface amount K1 of dishing, and the aforementioned crevice in the aforementioned maximum width Wmax -- a member -- the manufacture method of semiconductor integrated circuit equipment that the surface amount K2 of dishing is characterized by the almost equal ($K1 \approx K2$) thing

[Claim 21] The manufacture method of the semiconductor integrated circuit equipment characterized by being the manufacture method of semiconductor integrated circuit equipment given in any 1 term of claims 15-20, depositing the silicon oxide which used CVD before formation of the aforementioned fluid insulator layer, forming the account fluidity insulator layer of back to front, and forming the 2nd

insulator layer of the above by depositing a silicon oxide by CVD further.

[Claim 22] the manufacture method of semiconductor integrated circuit equipment given in any 1 term of claims 15-21 -- it is -- the 1st conductivity of the above -- the above after formation of a member -- the manufacture method of the semiconductor integrated circuit equipment characterized by forming a wrap diffusion prevention film for the front face of a member the 1st conductivity

[Claim 23] The manufacture method of the semiconductor integrated circuit equipment which is the manufacture method of semiconductor integrated circuit equipment according to claim 22, and is characterized by depositing a silicon nitride as the aforementioned diffusion prevention film.

[Claim 24] The semiconductor device formed in the principal plane of a semiconductor substrate. It is formed in the upper layer of the aforementioned semiconductor device, and is the 1st insulator layer where the 1st conductivity member was embedded in part. It is formed in the upper surface of the 1st insulator layer of the above, and is the 2nd insulator layer where the 2nd conductivity member was embedded in part. The process which is the manufacture method of semiconductor integrated circuit equipment equipped with the above, and forms a crevice in the 1st insulator layer formed on (a) semiconductor substrate, (b) The process and the 1st conductivity film of (c) above which form in the front face of the 1st insulator layer including the interior of the aforementioned crevice of the above the 1st conductivity film which embeds the aforementioned crevice are ground. The process which forms the aforementioned 1st conductivity member by leaving the aforementioned 1st conductivity film only in the aforementioned crevice of the 1st insulator layer of the above, (d) -- the above -- the process which forms the 2nd

insulator layer in the upper part of a member the 1st conductivity, and grinds and carries out flattening of the 2nd insulator layer of the above -- (e) After forming the process which forms a crevice in the 2nd insulator layer of the above, and the 2nd conductivity film which embeds the crevice of the 2nd insulator layer of (f) above, it is characterized by grinding the aforementioned 2nd conductivity film and including the process which forms the aforementioned 2nd conductivity member in the crevice of the 2nd insulator layer of the above inside.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] About the manufacturing technology of semiconductor integrated circuit equipment, and semiconductor integrated circuit equipment, especially this invention is wiring which makes copper the main conductive layer, after deposition of the copper thin film to Mizouchi, is applied to the semiconductor integrated circuit equipment which has the wiring which removed copper thin films other than a slot field by the CMP (Chemical Mechanical Polishing) method, and was formed, and relates to effective technology.

[0002]

[Description of the Prior Art] Conventionally formation of the wiring layer in a semiconductor integrated circuit For example, as indicated by November 30, Showa 59; Ohm-Sha Ltd. Issue, an "LSI handbook", and p253-p292 After forming refractory-metal thin films, such as an aluminum (aluminum) alloy or a tungsten (W), on an insulator layer, The resist pattern of the same configuration as a circuit pattern was formed on the thin film for wiring according to the photolithography process, and the circuit

pattern was formed according to the dry etching process by making it into a mask.

[0003] However, by the method using this aluminum alloy etc., with detailed-izing of wiring, increase of wiring resistance became remarkable, the wiring delay increased in connection with it, and there was a problem of the performance of semiconductor integrated circuit equipment falling. In the highly efficient logic LSI, the big problem as the performance prevention factor has arisen especially.

[0004] For this reason, recently, it is 1993. As indicated by the collection of VMIC (VLSI Multilevel Interconnection Conference) drafts, and p15-p21 the wiring which makes copper (Cu) an initiative body whorl at Mizogami who formed in the insulator layer -- public funds -- after embedding a group, the method (the so-called DAMASHIN method) of forming a circuit pattern is examined by Mizouchi by removing the excessive metal of the slot exterior using the CMP method (the chemical machinery grinding method)

[0005] Moreover, the technology which forms a conductive wiring layer after forming a wiring slot on the insulating layer formed on the semiconductor substrate and forming an insulator layer in JP,7-297183,A further, forms the flattening layer which consists of SOG (Spin On Glass) so that a wiring slot may be embedded, and forms in a wiring slot the wiring which carries out polishing of a flattening layer and the conductive wiring layer, and consists of a conductive wiring layer is indicated.

[0006]

[Problem(s) to be Solved by the Invention] however, the wiring which makes copper (Cu) etc. an initiative body whorl at Mizogami who formed in the insulator layer -- public funds -- after embedding a group, the following problems are produced in the Prior art which removes the excessive metal of the slot exterior using

the CMP method (the chemical machinery grinding method) This trouble is explained using drawing 73. Drawing 73 is a drawing explaining the trouble which this invention persons examined, and a b-b cross section [in / (a) / (a) and / in (b)] and (c) are the c-c cross sections in (a). / a plan In addition, in drawing 73, it is omitting [wiring layer / which poses a problem] about the member of an example and others.

[0007] That is, in order to form wiring 202 on an insulator layer 201, first, the insulator layer 203 for wiring formation is deposited on an insulator layer 201, and the wiring slot 204 is formed in this insulator layer 203. A silicon oxide is usually used for an insulator layer 203. Next, the metal membrane (for example, copper (Cu)) which constitutes wiring 202 is deposited on an insulator layer 203 so that the wiring slot 204 may be embedded, and the metal membrane on insulator layers 203 other than wiring slot 204 is ground by the CMP method, and is removed. Thereby, only in the wiring slot 204, a metal membrane remains and wiring 202 is formed. However, generally copper one has a large polish speed of CMP with the silicon oxide which is an insulator layer 203, and the metal (for example, copper) which constitutes wiring 202. For this reason, a crevice 205 occurs into the surface portion of wiring 202. This crevice 205 is known as the so-called kind of dishing (depression). Moreover, a scratch (blemish) is also generated on the front face of an insulator layer 203 by polish by CMP. [0008] If an insulator layer 206 is formed in the upper layer in the state where such a crevice 205 or a scratch exists, the crevice which originates also in the front face of an insulator layer 206 at a crevice 205 or a scratch will occur. After this crevice has existed, when a plug 207 is formed in an insulator layer 206 by the CMP method, the conductive material 208 which constitutes a plug 207 in the crevice of the front face of an insulator layer 206 will

remain. namely, the connection which carried out opening of the formation of a plug 207 to the insulator layer 206 -- removal according [while embedding the metal membrane which constitutes a plug 207 to the interior of a hole, deposit a metal membrane on an insulator layer 206, and] to the CMP method of the metal membrane on this insulator layer 206 -- connection -- a hole, although a metal membrane is remained and formed only inside If a crevice (the crevice resulting from a scratch contains) exists in the front face of an insulator layer 206, the conductive material 208 which is the residue of a metal membrane will remain also in this crevice. In addition, although a metal membrane may remain also to the crevice resulting from a scratch, it is omitting in the drawing.

[0009] This object of its call view of the remains of such conductive material 208 is not carried out, and they are not desirable. That is, when an insulator layer 209 is formed on a plug 207 and wiring 210 is formed in the wiring slot of this insulator layer 209, between the wiring 210 which should originally be insulated will connect too hastily electrically by existence of conductive material 208, and short [of semiconductor integrated circuit equipment / poor] will occur.

[0010] In addition, not using a plug 207, when forming wiring by the so-called dual DAMASHIN method, it generates such short [poor] similarly.

[0011] The purpose of this invention is to offer the technology which improves the surface flat nature of the layer insulation film on the 1st metal wiring formed by the CMP method.

[0012] Moreover, other purposes of this invention suppress short [of the 2nd metal wiring on the 1st metal wiring formed by the CMP method / poor], and are to improve the yield and reliability of semiconductor integrated circuit equipment.

[0013] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0014]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0015] (1) The semiconductor device by which the semiconductor integrated circuit equipment of this invention was formed in the principal plane of a semiconductor substrate, The 1st insulator layer where the conductive member which used the CMP method for the crevice which was formed in the upper part of a semiconductor device and formed in the part, and was formed in it was embedded, It is semiconductor integrated circuit equipment which has the 2nd insulator layer where the conductive member which used the CMP method for the crevice which was formed in the upper surface of the 1st insulator layer, and was formed in the part, and was formed in it was embedded, and the fluid insulator layer which has self-taught kinesis is contained in the 2nd insulator layer.

[0016] According to such semiconductor integrated circuit equipment, the conductive member embedded at the 1st insulator layer generates dishing (depression) by polish by CMP. Moreover, even if the front face of the 1st insulator layer has a scratch (blemish) by polish by CMP the conductivity which flattening of the front face is carried out since a fluid insulator layer is contained in the 2nd insulator layer, the influence of the aforementioned dishing or a scratch does not appear in the front face of the 2nd insulator layer, but is embedded at the 2nd insulator layer -- formation by the CMP method of a member is ensured namely, the conductivity embedded by the 2nd insulator layer in the crevice of the front

face of the 2nd insulator layer which will come out and exist generated when not forming a fluid insulator layer -- the conductivity of the 2nd insulator layer which the residue of a member is not formed but originates in the aforementioned residue -- a member -- it can prevent short [of a between / poor] Consequently, the yield and reliability of semiconductor integrated circuit equipment can be improved.

[0017] Moreover, by this invention, although it will be necessary to grind superfluously the coat for forming the conductive member of the 2nd insulator layer when a crevice exists in the front face of the 2nd insulator layer, since the crevice of the front face of such 2nd insulator layer is not formed, superfluous polish is not needed. consequently, the conductivity embedded at the 2nd insulator layer -- the conductivity which prevents dishing of a member and is further formed in the upper part -- formation of a member can be certainly formed for the same reason as the above, and it can prevent short [the / poor]

[0018] The 1st or 2nd insulator layer can be made into the insulator layer between wiring layers which insulates between the insulator layer for wiring formation by which wiring is formed in the crevice, or a wiring layer. in addition, a crevice the connection formed in the wiring slot formed in the insulator layer for wiring formation, or the insulator layer between wiring layers -- the wiring with which it could consider as the hole and the conductive member was formed in the wiring slot, or connection -- it can consider as the plug formed in the hole

[0019] Moreover, the composition included only in the insulator layer between wiring layers located on the wiring with which the fluid insulator layer was formed in the wiring slot of the insulator layer for wiring formation, Composition or connection of the insulator layer between wiring layers -- it is contained only in the insulator layer

for wiring formation located on the plug formed in the hole -- or connection of the insulator layer between wiring layers located on the wiring formed in the wiring slot of the insulator layer for wiring formation, and the insulator layer between wiring layers -- it can consider as which composition of composition ** contained to the both sides of the insulator layer for wiring formation located on the plug formed in the hole

[0020] moreover, the connection formed in the lower part of the wiring slot in which the crevice was formed near the front face of the 1st and 2nd insulator layers, and a wiring slot -- the wiring section which consists of a hole and by which the conductive member was formed in the wiring slot, and connection -- the connection formed in the hole should be formed as one That is, the amount of [a part for a connection pore and] wiring slot is applicable also to the wiring (wiring by the so-called dual DAMASHIN method) formed in one in the crevice formed as one.

[0021] Moreover, the 2nd insulator layer in which a fluid insulator layer is contained, the insulator layer between wiring layers, or the insulator layer for wiring formation may have the three-tiered structure of the non-fluidity insulator layer which does not have self-taught kinesis, a fluid insulator layer, and a non-fluidity insulator layer.

[0022] Moreover, an SOG film can be used as a fluid insulator layer. As an SOG film, although an organic SOG film, an inorganic SOG film, and the SOG film of a polysilazane system can be illustrated, especially an inorganic SOG film is suitable. If an organic SOG film is used as a fluid insulator layer, it is processed into the 2nd insulator layer in which it is contained, the insulator layer between wiring layers, or the insulator layer for wiring formation with the application of photolithography technology, and in case oxygen ashing removes the photoresist film used as the mask of a photolithography,

contraction of an organic SOG film will occur, and absorptivity will become strong, and the influence which is not desirable will be produced in the reliability of semiconductor integrated circuit equipment. However, such fault will not be produced if an inorganic SOG film is used as a fluid insulator layer.

[0023] Moreover, it can consider as the silicon oxide formed as a fluid insulator layer of generation of the silanol in a gaseous phase, and the reaction of the silanol on a low-temperature substrate.

[0024] Although an SOG film is a coat formed by application in air atmosphere, a silicon oxide is formed of the generation of the silanol in a gaseous phase and the reaction of the silanol on a low-temperature substrate which a substrate front face is made to adsorb the silanol (Hn Si(OH)4-n) formed in reduced pressure atmosphere of combination with silane gas (SiH_4) and a hydrogen peroxide (H_2O_2), and use it as a coat. Such a silicon oxide can also be illustrated as a fluid insulator layer. Although silane gas is illustrated as material gas of silanol formation here, hydrogen machines (-H) may be the methylsilanes (dimethylsilane, trimethyl silane, etc.) replaced by alkyl groups, such as a methyl group (-CH_3) and an ethyl group ($\text{-C}_2\text{H}_5$), or ethyl silanes (diethylsilane, triethyl silane, etc.).

[0025] moreover, a crevice, a wiring slot, or connection -- the width of face W of a hole shall be within the limits of the maximum width Wmax and minimum width of face Wmin, and shall satisfy the conditions of $W_{\text{max}} \leq 4 \times W_{\text{min}}$ **

[0026] (2) The semiconductor device by which the semiconductor integrated circuit equipment of this invention was formed in the principal plane of a semiconductor substrate, The 1st insulator layer where the conductive member which used the CMP method for the crevice which was formed in the upper part of a semiconductor device and formed in the

part, and was formed in it was embedded, It is semiconductor integrated circuit equipment which has the 2nd insulator layer where the conductive member which used the CMP method for the crevice which was formed in the upper surface of the 1st insulator layer, and was formed in the part, and was formed in it was embedded, and the insulator layer by which flattening was carried out by the CMP method is contained in the 2nd insulator layer.

[0027] the conductivity which flattening of the front face of the 2nd insulator layer is carried out by the insulator layer by which flattening was similarly carried out to having indicated to (1) by the CMP method according to such semiconductor integrated circuit equipment, and is embedded at the 2nd insulator layer -- formation of a member is ensured and can prevent short [the / poor] moreover, the conductivity embedded at the 2nd insulator layer -- the conductivity which prevents superfluous polish of a member and is further formed in the upper part -- it is the same as that of the above (1) that formation of a member can be ensured, and short [the / poor] can be prevented, consequently the yield of semiconductor integrated circuit equipment and improvement in reliability can be aimed at

[0028] In addition, the diffusion prevention film which prevents diffusion of the metallic element which constitutes wiring, for example, the silicon nitride formed by the plasma CVD method, may be formed in the upper surface of the wiring formed in the crevice or the wiring slot in semiconductor integrated circuit equipment given in the above (1) and (2). Thereby, the isolation voltage of the layer insulation film during wiring can be secured, and the reliability of semiconductor integrated circuit equipment can be improved.

[0029] (3) The manufacture method of the semiconductor integrated circuit equipment of this invention It is formed in

the upper part of the semiconductor device formed in the principal plane of a semiconductor substrate, and a semiconductor device. The 1st insulator layer where the 1st conductivity member was embedded in part, It is the manufacture method of semiconductor integrated circuit equipment of it being formed in the upper surface of the 1st insulator layer, and having the 2nd insulator layer where the 2nd conductivity member was embedded in part. (a) The 1st insulator layer is deposited on the semiconductor substrate in which the semiconductor device was formed at least. On the front face of the process which forms a crevice in the part, and the 1st insulator layer including the interior of the (b) crevice The process and (c) conductivity film which form the conductive film which embeds a crevice are ground by the CMP method. The process which leaves a conductive film and forms the 1st conductivity member only in the crevice of the 1st insulator layer, (d) The process which deposits on the upper part of a member the fluid insulator layer which has self-taught kinesis the 1st conductivity, (e) After forming a crevice in the 2nd insulator layer containing a fluid insulator layer and forming the conductive film which embeds the crevice, the process which grinds the conductive film by the CMP method, and forms the 2nd conductivity member is included.

[0030] According to the manufacture method of such semiconductor integrated circuit equipment, the semiconductor integrated circuit equipment of a publication can be manufactured to the above (1).

[0031] In addition, when a fluid insulator layer is an SOG film, it can form by applying and heat-treating an SOG film to a semiconductor substrate.

[0032] moreover, when a fluid insulator layer is a silicon oxide formed of generation of the silanol in a gaseous phase, and the

reaction of the silanol on a low-temperature substrate A semiconductor substrate is held at low temperature 100 degrees C or less to the reaction chamber under reduced pressure atmosphere. It is $\text{SiH}_x \text{M}_{4-x}$, and (however, M the alkyl group of carbon numbers 1-3, $1 \leq x \leq 4$) $\text{H}_2 \text{O}_2$ in a reaction chamber. It can introduce, a silanol can be generated and it can form by heat-treating the semiconductor substrate which the silanol deposited. In this case, vapor pressure falls, so that the carbon number of an alkyl group (M) increases. For this reason, the wall surface temperature of a reaction chamber can be raised and let temperature of a semiconductor substrate be the lowest temperature. The probability that adsorption of the alkyl silane ($\text{SiH}_x \text{M}_{4-x}$) to the semiconductor substrate top held at low temperature will be promoted by this, and the reaction of silanol generation will arise near the front face of a semiconductor substrate becomes high. Consequently, it becomes possible to raise the yield of material gas. In addition, since supplying by the gaseous phase is desirable as for material gas, as for the carbon number of an alkyl group, three or less are desirable. [0033] Moreover, the width of face W of the crevice in which the 1st conductivity member is formed can be formed so that the maximum width W_{max} may become less than ($W_{\text{min}} \leq W \leq 4 \times W_{\text{min}}$) 4 times of the minimum width of face W_{min} .

[0034] Moreover, the conductive film embedded in the aforementioned (b) process in the crevice of the 1st insulator layer The altitude H_1 in the crevice in the minimum width of face W_{min} and its altitude H_2 in the crevice in the maximum width W_{max} can make altitude H_1 and H_2 higher ($H_1 \cdot H_2 > L_2$) than the altitude L_1 of the front face of the 1st insulator layer almost equally ($H_1 \cdot H_2$).

[0035] According to the manufacture method of such semiconductor integrated circuit equipment, the 1st conductivity

member formed at the (b) process will be embedded to all the fields of the crevice of the 1st insulator layer, and flattening of the front face of a member itself will be ground and carried out the 1st conductivity. At this point, the technology in which this invention was indicated by aforementioned JP,7-297183,A is different. that is, in the technology indicated by the aforementioned official report, in the field where the width of face of a wiring slot is wide, the surface height of a conductive film was lower than the altitude of a wiring slot front face, therefore covered the conductive film with coats, such as SOG, -- if polishing of these is carried out to behind and wiring is formed in it in a wiring slot, an SOG film will remain to the crevice on the front face of wiring It is what deposits fluid insulator layers, such as SOG, after carrying out polish for forming the 1st conductivity member in this invention. however, with the manufacture method of a publication, in the aforementioned official report The altitude H1 in a crevice [in / the minimum width of face Wmin / the aforementioned passage] while it is different in the sequence of the process, The altitude H2 in the crevice in the maximum width Wmax almost equally ($H1 \times H2$) and the altitude H1 and H2 Since it is higher than the altitude L1 of the front face of the 1st insulator layer ($H1 \times H2 > L2$), the formation process of the 1st conductivity member (that is, wiring in the aforementioned official report) itself is different. Therefore, it is different from the semiconductor device manufactured by technology given [aforementioned] in an official report in that fluid insulator layers, such as an SOG film, do not remain there though the semiconductor integrated circuit equipment itself formed by such different manufacture method and the crevice (dishing) by CMP are generated on the surface of a member the 1st conductivity.

[0036] moreover, the 1st conductivity in a

crevice [in / the minimum width of face Wmin / in the 1st conductivity member ground in the aforementioned (c) process] -- a member -- the surface amount K1 of dishing, and the 1st conductivity in the crevice in the maximum width Wmax -- a member -- the surface amount K2 of dishing is almost equal ($K1 \times K2$) Such manufacture methods of semiconductor integrated circuit equipment are conditions concluded from the conditions of aforementioned $H1 \times H2$.

[0037] Moreover, the 2nd insulator layer can be formed by depositing the CVD silicon oxide which used a plasma CVD method or heat CVD, depositing a fluid insulator layer after that, and depositing a CVD oxide film further before deposition of a fluid insulator layer.

[0038] Moreover, a wrap diffusion prevention film, for example, a silicon nitride, can be deposited for the front face of a member the 1st conductivity after formation of a member the 1st conductivity.

[0039] According to the manufacture method of such semiconductor integrated circuit equipment, diffusion of metallic elements, such as copper which constitutes the 1st conductivity member, is prevented, and the reliability of semiconductor integrated circuit equipment can be improved.

[0040] (4) The manufacture method of the semiconductor integrated circuit equipment of this invention It is formed in the upper part of the semiconductor device formed in the principal plane of a semiconductor substrate, and a semiconductor device. The 1st insulator layer where the 1st conductivity member was embedded in part, It is the manufacture method of semiconductor integrated circuit equipment of it being formed in the upper surface of the 1st insulator layer, and having the 2nd insulator layer where the 2nd conductivity member was embedded in part. (a) The 1st insulator layer is deposited on the

semiconductor substrate in which the semiconductor device was formed at least. On the front face of the process which forms a crevice in the part, and the 1st insulator layer including the interior of the (b) crevice The process and (c) conductivity film which form the conductive film which embeds a crevice are ground by the CMP method. The process which leaves a conductive film and forms the 1st conductivity member only in the crevice of the 1st insulator layer, (d) The process which deposits a silicon oxide on the upper part of a member the 1st conductivity, grinds a silicon oxide by the CMP method and carries out flattening, (e) After forming a crevice in the 2nd insulator layer containing a silicon oxide and forming the conductive film which embeds the crevice, the process which grinds the conductive film by the CMP method, and forms the 2nd conductivity member is included.

[0041] According to the manufacture method of such semiconductor integrated circuit equipment, the semiconductor integrated circuit equipment indicated above (2) can be manufactured. In addition, since flattening of the silicon oxide contained in the 2nd insulator layer is carried out by the CMP method, it does not need to have self-taught kinesis and may be formed of the CVD using a plasma CVD method, TEOS (tetramethoxy silane), etc.

[0042]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained in detail based on a drawing. In addition, in the complete diagram for explaining the form of operation, the same sign is given to the same member and explanation of the repeat is omitted.

[0043] (Form 1 of operation) Drawing 1 is the cross section having shown an example of the semiconductor integrated circuit equipment which is the form of 1 operation of this invention.

[0044] As for the semiconductor integrated circuit equipment of the form 1 of this

operation, n channel MISFET(Metal Insulator Semiconductor Field Effect Transistor) Qn is formed in the p well 4 of the semiconductor substrate 1 which has the SOI (Silicon On Insulator) insulating layer 2 and U slot isolation field 3. The SOI insulating layer 2 and U slot isolation field 3 consist of silicon oxides.

[0045] N channel MISFETQn has the gate electrode 7 formed through the gate insulator layer 6 on the principal plane of the semiconductor substrate 1, and the impurity semiconductor field 8 formed in the principal plane of the semiconductor substrate 1 of the both sides of the gate electrode 7, and the sidewall spacer 9 and the cap insulator layer 10 are formed in the side and the upper surface of the gate electrode 7, respectively.

[0046] The gate insulator layer 6 consists of a silicon oxide which has several nm thickness, for example, can be formed by heat CVD or the oxidizing [thermally] method.

[0047] The gate electrode 7 may consist for example, of a low resistance polycrystal silicon film, may form metal layers, such as a silicide layer or a tungsten, in the upper layer, and may attain low resistance-ization.

[0048] The impurity semiconductor field 8 functions as a source drain field of n channel MISFETQn, and n form impurities, such as ***** Lynn (P) or an arsenic (As), are introduced into high concentration.

[0049] the upper part of the gate electrode 7 and the impurity semiconductor field 8 -- WSix, MoSix, TiSix, and TaSix etc. -- you may form the silicide film which carried out the laminating of the refractory-metal silicide film

[0050] the layer insulation film which explains the sidewall spacer 9 and the cap insulator layer 10 later, using as a mask the sidewall spacer 9 which consists of the silicon nitride, and the cap insulator layer 10 when it can consider as a silicon oxide or

a silicon nitride and uses a silicon nitride -- self -- conformable -- connection -- opening of the hole can be carried out

[0051] Layer insulation film 11a is formed in the upper part of the semiconductor substrate 1 and n channel MISFETQn. As layer insulation film 11a, although reflow films, such as a BPSG (Boron-doped Phospho-Silicate Glass) film or a PSG (Phospho-Silicate Glass) film, can be used, it can also consider as a cascade screen with the silicon oxide formed in the lower part or the upper part of layer insulation film 11a of CVD or the spatter. After layer insulation film 11a accumulates, it is ground by the CMP method and flattening of the front face is carried out.

[0052] layer insulation film 11a on the impurity semiconductor field 8 -- connection -- a hole 12 prepares -- having -- connection -- metal plug 13b which becomes a hole 12 from the tungsten formed of for example, tungsten film 13a formed of the spatter and blanket CVD, or selection CVD is formed

[0053] It is formed in the wiring slot 15 where layer insulation film 11b (insulator layer between the 1st layer) was formed in the upper layer of layer insulation film 11a, and wiring 14 was formed in layer insulation film 11b.

[0054] Layer insulation film 11b consists of silicon oxides formed by CVD or the spatter. In addition, scratch 11c (blemish) is formed in the front face of layer insulation film 11b. This is formed in order to perform a certain amount of exaggerated polish in polish by the CMP method performed in the case of formation of wiring 14 so that the metal membrane of the front face of layer insulation film 11b may be removed certainly so that it may explain later, and it is a scratch blemish by the abrasive material of CMP.

[0055] Wiring 14 consists of main conductive-layer 14a and titanium-nitride film 14b. Although main conductive-layer 14a consists of copper, it may not be

restricted to this but may be aluminum, tungstens, or these alloys. The rise of the wiring resistance accompanying detailed-izing of wiring 14 can be suppressed by making material with these low low resistivity into the main conductive layers. Thereby, highly efficient-ization of semiconductor integrated circuit equipment can be attained. Titanium-nitride film 14b can be made to be able to act as a blocking film which prevents diffusion, the material, for example, the copper, which constitutes main conductive-layer 14a, and also let it be a compound with other, for example, a tantalum, films [film / titanium-nitride], a tantalum-nitride film, a nitriding tungsten film, spatter tungsten films, or these silicon. [0056] Dishing 14c (depression) is formed in the upper surface of wiring 14. This is formed of polish by the CMP method so that formation of wiring 14 may explain later, and it is generated by difference at the polish speed by CMP of the metallic material which constitutes wiring 14, and the silicon oxide which constitutes layer insulation film 11b. That is, the front face which the metal was ground quickly and dented relatively [in order metaled one has a large polish speed of CMP as compared with a silicon oxide and to form wiring 14 certainly, when a certain amount of exaggerated polish is performed / a silicon oxide] will be formed.

[0057] The layer insulation film 16 is formed in the upper surface of wiring 14 and layer insulation film 11b. The layer insulation film 16 consists of blocking layer 16a formed in contact with wiring 14 and layer insulation film 11b, flattening layer 16b, and insulator layer 16c.

[0058] Blocking layer 16a can be made into the silicon nitride formed for example, by the plasma CVD method, and has the function which suppresses diffusion of the copper which constitutes main conductive-layer 14a of wiring 14. Diffusion of the copper to the layer insulation films

11a, 11b, and 16 can be prevented with the effect of titanium-nitride film 14b by this, those insulation can be held, and the reliability of semiconductor integrated circuit equipment can be raised. In addition, thickness of blocking layer 16a can be set to about 100nm when a silicon nitride is used.

[0059] Flattening layer 16b can consist of the coat, for example, the SOG (Spin On Glass) film, which has self-taught kinesis, can remove the influence of scratch 11c and dishing 14c, and can carry out flattening of the front face. Thus, by having flattening layer 16b, the flat nature of the front face of the layer insulation film 16 is securable, and formation of the residue of a metal membrane can be prevented in the case of formation of the 2nd-layer wiring embedded on the layer insulation film 16, short [of the 2nd-layer wiring / poor] can be prevented so that it may explain later, and the yield and reliability of semiconductor integrated circuit equipment can be improved.

[0060] Insulator layer 16c can be made into the silicon oxide formed of CVD, and has the function to secure the thickness of the layer insulation film 16. Therefore, it is not indispensable when sufficient thickness of the layer insulation film 16 is securable with flattening layer 16b.

[0061] The wiring slot 17 is formed in the layer insulation film 16, and the wiring 18 which is the 2nd metal wiring is formed in the wiring slot 17. in addition, the connection for connecting a part of wiring slot 17 to the wiring 14 currently formed in the lower part -- a hole is also contained namely, a wiring slot and connection -- a hole -- forming -- the wiring slot and connection -- a hole -- it is formed by the so-called dual DAMASHIN method which deposits a metal membrane on a substrate including inside, for example, removes the metal membrane of fields other than a wiring slot by the CMP method, and forms connection wiring and wiring in one

[0062] Wiring 18 consists of main conductive-layer 18a and titanium-nitride film 18b like wiring 14. Although main conductive-layer 18a can illustrate copper, it may be aluminum, tungstens, or those alloys. The rise of the wiring resistance accompanying detailed-izing of wiring 18 can be suppressed by making material with these low low resistivity into the main conductive layers. Thereby, highly efficient-ization of semiconductor integrated circuit equipment can be attained. Titanium-nitride film 18b can be made to be able to act as a blocking film which prevents diffusion, the material, for example, the copper, which constitutes main conductive-layer 18a, and also let it be a compound with other, for example, a tantalum, films [film / titanium-nitride], a tantalum-nitride film, a nitriding tungsten film, spatter tungsten films, or these silicon. [0063] In addition, although the metal membrane formed on the layer insulation film 16 of the polish using the CMP method is removed and it is formed so that wiring 18 may be explained later, since the flat nature of the front face of the layer insulation film 16 is secured as it described above, no crevices other than wiring slot 17 exist in the front face, and, therefore, the residue of metal membranes other than wiring 18 is not formed. For this reason, it does not generate but short [of the wiring 18 resulting from the metal residue / poor] can aim at the yield of semiconductor integrated circuit equipment, and improvement in reliability. Moreover, since the front face of the layer insulation film 16 is flat enough, in polish by CMP for forming wiring 18, superfluous exaggerated polish is not required. Consequently, short [of the upper wiring at the time of suppressing dishing of wiring 18 and forming still multilayer wiring (the 3rd metal wiring etc.) / poor] is prevented, and the yield and reliability of semiconductor integrated circuit equipment can be improved.

[0064] The layer insulation film 16, the same layer insulation film as wiring 18, and wiring may be formed on wiring 18, and you may constitute in a multilayer further. In this case, it is the same as that of the case of wiring 18 that the same flattening layer as flattening layer 16b can be prepared, and processing of the upper wiring can be ensured.

[0065] Next, the manufacture method of the above-mentioned semiconductor integrated circuit equipment is explained according to drawing. Drawing 2 - drawing 15 are the cross sections having shown an example of the manufacture method of the semiconductor integrated circuit equipment which is the form of 1 operation of this invention in order of the process.

[0066] First, p which has the SOI insulating layer 2 formed by the high concentration oxygen pouring-in method etc. - The semiconductor substrate 1 which consists of single crystal silicon of type is prepared, the impurity for making it the conducted type of p form of current, for example, boron, is doped with an ion implantation etc., and the p well 4 is formed. The p well 4 may dope by mixing impurity gas at the time of the epitaxial growth in the high concentration oxygen pouring-in method.

[0067] Next, U slot which reaches the SOI insulating layer 2 is formed, after depositing after that, for example, a silicon oxide, an excessive silicon oxide is removed using the CMP method etc., a silicon oxide is embedded in the aforementioned U slot, and U slot isolation field 3 is formed in the principal plane of the semiconductor substrate 1 (drawing 2).

[0068] Next, the silicon oxide used as the silicon oxide used as the gate insulator layer 6, the polycrystal silicon film used as the gate electrode 7, and the cap insulator layer 10 is deposited one by one on the principal plane of the semiconductor substrate 1, a cascade screen is formed, the aforementioned cascade screen is

*****ed by using as a mask the resist in which patterning was carried out by the photolithography, and the gate insulator layer 6, the gate electrode 7, and the cap insulator layer 10 are formed (drawing 3). Although the gate insulator layer 6 can be deposited for example, by heat CVD and the gate electrode 7 can be formed by CVD, in order to reduce the resistance, you may dope the impurity (for example, P) of n form. in addition, the upper part of the gate electrode 7 -- WSix, MoSix, TiSix, and TaSix etc. -- you may carry out the laminating of the refractory-metal silicide film The cap insulator layer 10 can be deposited by CVD.

[0069] Next, after depositing a silicon-oxide film in CVD on the semiconductor substrate 1, by carrying out anisotropic etching of this silicon-oxide film by the reactive-ion-etching (RIE) method, the sidewall spacer 9 is formed in the side attachment wall of the gate electrode 7, and the impurity semiconductor field 8 which carries out the ion implantation of the n form impurity (Lynn), and constitutes the source of n channel MISFETQn and a drain field in the p well 4 of the both sides of the gate electrode 7 is formed (drawing 4). In addition, before formation of the sidewall spacer 9, a low-concentration impurity semiconductor field may be formed and a high-concentration impurity semiconductor field may be formed after formation of the sidewall spacer 9.

[0070] Next, after depositing a silicon-oxide film in a spatter or CVD on the semiconductor substrate 1, the front face forms layer insulation film 11a by which flattening was carried out by grinding a silicon-oxide film by the CMP method. furthermore, photolithography technology well-known to layer insulation film 11a on the impurity semiconductor field 8 of the principal plane of the semiconductor substrate 1 -- using -- connection -- opening of the hole 12 is carried out (drawing 5)

[0071] Next, tungsten film 13a is deposited

by the sputter, and tungsten film 13c is further deposited by blanket CVD (drawing 6).

[0072] next, connection -- a hole -- tungsten film 13c on layer insulation film 11a other than 12 and tungsten film 13a are removed for example, by the etchback method, and metal plug 13b is formed (drawing 7)

[0073] Next, a silicon-oxide film is deposited in a sputter or CVD, layer insulation film 11b is formed, it is processed using still better known photolithography technology and etching technology, and the wiring slot 15 is formed (drawing 8). In addition, although the silicon oxide formed by the sputter or CVD is illustrated here, you may be application films, such as SOG, an organic film, the CVD silicon oxide that added the fluorine, a silicon nitride, and the other multilayers which carried out the laminating of two or more insulator layers of a seed. Moreover, the wiring slot 15 is formed in a field to embed a wiring material behind and consider as wiring 14. in addition -- although the wiring slot 15 is formed with the form 1 of this operation after forming the metal plug 13 -- connection -- after carrying out opening of the hole 12, the wiring slot 15 may be formed, and you may form the metal plug 13 after that

[0074] Next, titanium-nitride film 14b which turns into titanium-nitride film 14b of wiring 14 all over the semiconductor substrate 1 is deposited (drawing 9). Titanium-nitride film 14b can be deposited by CVD or the sputter. Deposition of titanium-nitride film 14b is performed to the improvement in the adhesion of the copper film explained later, and the well of diffusion prevention of copper. In addition, although a titanium-nitride film is illustrated with the form 1 of this operation, you may be a metal membrane or tantalum-nitride films, such as a tantalum, etc. Moreover, it is also possible to carry out sputtering etch of the front face of titanium-nitride film 14b just before

deposition of main conductive-layer 14a which is the following process. By such sputtering etch, water, an oxygen-content child, etc. who stuck to the front face of titanium-nitride film 14b can be removed, and the adhesive property of main conductive-layer 14a can be improved. An effect is large, when carrying out a vacuum break, ^{**}(ing) a front face to the atmosphere after deposition of titanium-nitride film 14b and depositing the main conductive-layer 14a especially.

[0075] Next, the thin film of the metal used as main conductive-layer 14a, for example, copper, is deposited, this is heat-treated and fluidized, and the metal membrane 19 embedded good in the wiring slot 15 is formed (drawing 10). Although deposition of a copper film can use the usual sputter, it may use physical vapor growths, such as a vacuum deposition. Moreover, the conditions of heat treatment need the temperature and time which the copper which constitutes a metal membrane 19 fluidizes, for example, can illustrate 350 degrees C - 400 degrees C and 3 minutes - 5 minutes.

[0076] Next, excessive titanium-nitride film 14b and the excessive metal membrane 19 on layer insulation film 11b are removed, and main conductive-layer 14a and titanium-nitride film 14b which constitute wiring 14 are formed (drawing 11). The polish which used the CMP method performs removal of titanium-nitride film 14b and a metal membrane 19. In order to use the CMP method for formation of wiring 14, dishing 14c which is in the state in which the front face of wiring 14 was dented as compared with the front face of layer insulation film 11b is formed, and scratch 11c which is a scratch blemish by the abrasive material of CMP etc. is formed in the front face of layer insulation film 11b.

[0077] Next, on wiring 14 and layer insulation film 11b, a silicon nitride is deposited and blocking layer 16a is formed

(drawing 12). For example, a plasma CVD method can be used for deposition of a silicon nitride. Thickness may be about 100nm.

[0078] Next, flattening layer 16b to which the SOG film which is a coat with self-taught kinesis was applied to, the cure of the heat treatment of about 400 more degrees C was performed and carried out, and flattening of the front face was carried out is formed (drawing 13). An organic or inorganic SOG film can be used as an SOG film. Moreover, it is also possible to use the SOG film of a polysilazane system. In the case of the SOG film of a polysilazane system, it has thermal resistance, and the reliability of semiconductor integrated circuit equipment can be improved in it.

[0079] Next, insulator layer 16c is deposited and the layer insulation film 16 is completed. Let insulator layer 16c be a silicon oxide by CVD. As for the front face of insulator layer 16c, i.e., the front face of the layer insulation film 16, flat nature is secured by existence of flattening layer 16b. Then, the wiring slot 17 is formed (drawing 14). the connection for connecting with the wiring 14 which is lower layer wiring in the wiring slot 17 -- the hole is also contained

[0080] Next, like the case of wiring 14, titanium-nitride film 18b of wiring 18 which becomes a part is deposited, the thin film of the metal further set to main conductive-layer 18a, for example, copper, is deposited, this is heat-treated and fluidized, and the metal membrane 20 embedded good in the wiring slot 17 is formed (drawing 15). About titanium-nitride film 18b and a metal membrane 20, since it is the same as that of said titanium-nitride film 14b and metal membrane 19, explanation is omitted.

[0081] Finally, the metal membrane 20 on the layer insulation film 16 and titanium-nitride film 18b are removed, wiring 18 is formed, and the semiconductor integrated circuit equipment shown in

drawing 1 is completed mostly. The CMP method is used for removal of this metal membrane 20 and titanium-nitride film 18b. With the form of this operation, since the crevice which is not meant does not exist in the front face of the layer insulation film 16 even if it performs CMP for formation of wiring 18, since the flat nature of the front face of the layer insulation film 16 is secured, the residue of the metal membrane 20 which is not meant or titanium-nitride film 18b does not arise. For this reason, short poor generating of the wiring 18 resulting from such the residue is prevented, and the yield of semiconductor integrated circuit equipment and improvement in reliability can be aimed at.

[0082] Moreover, since the flat nature of the front face of the layer insulation film 16 is secured, even if it does not perform exaggerated polish of superfluous CMP, formation of wiring 18 can be ensured, and superfluous polish can be prevented. For this reason, short [of the wiring which suppresses dishing of wiring 18 front face and is formed in the upper layer / poor] is prevented, and the yield and reliability of semiconductor integrated circuit equipment can be improved.

[0083] In addition, with the form 1 of this operation, as flattening layer 16b, although the SOG film was illustrated, it can also consider as the silicon oxide formed of generation of the silanol in a gaseous phase ($\text{H}_n \text{Si}(\text{OH})_{4-n}$), and the reaction of the silanol on a low-temperature substrate. Such a silicon oxide forms a silanol in reduced pressure atmosphere by combination with silane gas (SiH_4) and a hydrogen peroxide ($\text{H}_2 \text{O}_2$), and after it makes this adsorb and react to a substrate front face and considers as a coat, it can form it by performing and carrying out the cure of the heat treatment of 450 degrees C or less. The coat deposited by adsorption of such a silanol and the reaction has self-taught kinesis, and can secure the flat

nature of the front face of the layer insulation film 16 like said SOG film.

[0084] In addition, a hydrogen machine (-H) can illustrate alkyl silanes ($\text{SiH}_x \text{M}_{4-x}$ (however, M the alkyl group of carbon numbers 1-3, $1 \leq x \leq 4$)), such as methylsilanes (dimethylsilane, trimethyl silane, etc.) replaced by alkyl groups, such as a methyl group (-CH₃) and an ethyl group (-C₂H₅), or ethyl silanes (diethylsilane, triethyl silane, etc.), as material gas of silanol formation in addition to silane gas. The carbon number of an alkyl group is made or less into three for taking into consideration the convenience of supplying the promotion and material gas of a silanol generation reaction by adsorption of the alkyl silane ($\text{SiH}_x \text{M}_{4-x}$) to the semiconductor substrate top held at low temperature increasing by the gaseous phase.

[0085] (Form 2 of operation) Drawing 16 is the cross section having shown an example of the semiconductor integrated circuit equipment which is the form of other operations of this invention.

[0086] The semiconductor integrated circuit equipment of the form 2 of this operation transposes the layer insulation film 16 of the semiconductor integrated circuit equipment in the form 1 of operation to the layer insulation film 21, and other members are the same as that of the form 1 of operation. Therefore, the explanation about the same member as them is omitted.

[0087] The layer insulation film 21 consists of silicon-oxide 21b by which accumulated by the same blocking layer 21a and same CVD as blocking layer 16a in the form 1 of operation, and flattening was carried out by the CMP method. Blocking layer 21a consists of a silicon nitride which has about 100nm thickness like blocking layer 16a of the form 1 of operation. Since silicon-oxide 21b is what has thickness sufficient in itself, insulator layer 16c is not formed like the layer insulation film 16 of the form 1 of operation. However, thickness of

silicon-oxide 21b may be made thin, the insulator layer which is equivalent to insulator layer 16c like the form 1 of operation may be formed, and the layer insulation film 21 of sufficient thickness may be formed.

[0088] Next, the manufacture method of the above-mentioned semiconductor integrated circuit equipment is explained according to drawing. Drawing 17 - drawing 20 are the cross sections having shown an example of the manufacture method of the semiconductor integrated circuit equipment which is the form of other operations of this invention in order of the process.

[0089] The process of drawing 11 in the form 1 of operation of the manufacture method of the semiconductor integrated circuit equipment of the form 2 this operation is the same.

[0090] Then, a silicon nitride is deposited like blocking layer 16a of the form 1 of operation, and blocking layer 21a is formed. The silicon oxide 22 with still more sufficient thickness is formed by CVD (drawing 17). Here, since the silicon oxide 22 formed of CVD is not a film which has self-taught kinesis, the crevice 23 resulting from dishing 14c and scratch 11c is formed in the front face.

[0091] Next, a silicon oxide 22 is ground by the CMP method (drawing 18). The crevice 23 formed in the front face of a silicon oxide 22 is vanished by this, silicon-oxide 21b is formed, and the front face forms the flat layer insulation film 21. Moreover, by the manufacture method of the gestalt 2 this operation, since the CMP method is used, in addition to the ability to vanish a crevice 23, the flat nature in the whole semiconductor substrate 1 can be improved.

[0092] Next, like the gestalt 1 of operation, the wiring slot 17 is formed in the layer insulation film 21 (drawing 19), and the metal membrane 20 set to titanium-nitride film 18b and main conductive-layer 18a

like the gestalt 1 of operation is formed (drawing 20).

[0093] Finally, the metal membrane 20 on the layer insulation film 21 and titanium-nitride film 18b are removed, wiring 18 is formed, and the semiconductor integrated circuit equipment shown in drawing 16 is completed mostly. The CMP method is used for removal of this metal membrane 20 and titanium-nitride film 18b like the gestalt 1 of operation. With the gestalt of this operation, since the flat nature of the front face of the layer insulation film 21 is secured, even if it performs CMP for formation of wiring 18, the residue of the metal membrane 20 which is not meant on the front face of the layer insulation film 21 or titanium-nitride film 18b does not arise. For this reason, short poor generating of the wiring 18 resulting from such the residue is prevented, and the yield of semiconductor integrated circuit equipment and improvement in reliability can be aimed at.

[0094] Moreover, since the flat nature of the front face of the layer insulation film 21 is secured, even if it does not perform exaggerated polish of superfluous CMP, formation of wiring 18 can be ensured, and superfluous polish can be prevented. For this reason, short [of the wiring which suppresses dishing of wiring 18 front face and is formed in the upper layer / poor] is prevented, and the yield and reliability of semiconductor integrated circuit equipment can be improved.

[0095] (Gestalt 3 of operation) Drawing 21 is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[0096] The semiconductor integrated circuit equipment of the gestalt 3 of this operation has n channel MISFETQn and p-channel MISFETQp which were formed on the semiconductor substrate 101. Although n channel MISFETQn and p-channel MISFETQp which are a

semiconductor device can constitute CMISFET (Complimentary-MISFET), and can constitute a semiconductor integrated circuit and illustration is not carried out at a semiconductor integrated circuit, passive elements, such as resistance and a capacitor, can be included. In addition, although CMISFET is illustrated with the gestalt of this operation, a semiconductor integrated circuit may consist of MISFET(s) of the single channel of n channel MISFETQn or p-channel MISFETQp. Furthermore, although MISFET is illustrated, a semiconductor integrated circuit may consist of gestalten of this operation using the semiconductor device of other transistor structures, such as a bipolar transistor or Bi-CMISFET.

[0097] The isolation field 102 is formed in the semiconductor substrate 101 near [the] the principal plane, and n type well 104 by which p type well 103 by which the p type impurity (for example, boron (B)) was introduced into low concentration, and the n type impurity (for example, Lynn (P), an arsenic (As)) were introduced into low concentration is formed in it at the active region surrounded in the isolation field 102. N channel MISFETQn is formed in the active-region principal plane of p type well 103, and p-channel MISFETQp is formed in the active-region principal plane of n type well 104. The isolation field 102 is formed in the vadum of the principal plane of the semiconductor substrate 101, for example, consists of a silicon oxide. In addition, it cannot be overemphasized that it is good also as a SOI substrate which explained the semiconductor substrate 101 to the gestalt 1 of operation.

[0098] N channel MISFETQn has the gate electrode 106 formed through the gate insulator layer 105 on the principal plane of p type well 103, and the n type semiconductor region 107 formed in the principal plane of the semiconductor substrate 101 of the both sides of the gate electrode 106. Moreover, p-channel

MISFETQp has the gate electrode 106 formed through the gate insulator layer 105 on the principal plane of n type well 104, and the p type semiconductor region 108 formed in the principal plane of the semiconductor substrate 101 of the both sides of the gate electrode 106.

[0099] The gate insulator layer 105 consists of a silicon oxide which has several nm thickness, for example, can be formed by the oxidizing [thermally] method or heat CVD. It may consist of a low resistance polycrystal silicon film, and the gate electrode 106 may form metal layers, such as a tungsten (W) which minded [the] barrier metal, such as silicide layers, such as a tungsten (W) and cobalt (Co), or a titanium nitride (TiN), and a nitriding tungsten (WN), molybdenum (Mo), titanium (Ti), and a tantalum (Ta), and may attain low resistance-ization.

[0100] Semiconductor regions 107 and 108 function as a source drain field of n channel MISFETQn and p-channel MISFETQp. n type impurity (for example, Lynn or an arsenic) is introduced into a semiconductor region 107, and p type impurity (for example, boron) is introduced into the semiconductor region 108. Semiconductor regions 107 and 108 are good also as the so-called LDD (Lightly Doped Drain) structure which consists of a low concentration semiconductor region by which the impurity was introduced into low concentration, and a high concentration semiconductor region by which the impurity was introduced into high concentration. moreover, the upper part of semiconductor regions 107 and 108 -- WSix, MoSix, TiSix, and TaSix etc. -- you may form the silicide film which carried out the laminating of the refractory-metal silicide film

[0101] The sidewall spacer 109 and the cap insulator layer 110 are formed in the side and the upper surface of the gate electrode 106, respectively. the layer insulation film which explains the sidewall spacer 109 and

the cap insulator layer 110 later, using as a mask the sidewall spacer 109 which consists of the silicon nitride, and the cap insulator layer 110 when it can consider as a silicon oxide or a silicon nitride and uses a silicon nitride -- self -- conformable -- connection -- opening of the hole can be carried out

[0102] The layer insulation film 111 is formed in the upper part of the semiconductor substrate 101, n channel MISFETQn, and p-channel MISFETQp. As a layer insulation film 111, although reflow films, such as a BPSG film or a PSG film, can be used, it can also consider as a cascade screen with the silicon oxide formed in the lower part or the upper part of the layer insulation film 111 of CVD or the spatter. As for the layer insulation film 111, flattening of the front face is carried out for example, by the CMP method.

[0103] a semiconductor region 107 and the layer insulation film 111 on 108 -- connection -- a hole 112 prepares -- having -- connection -- tungsten film 113a formed of the spatter and the plug 113 which consists of tungsten film 113b formed of blanket CVD or selection CVD are formed in the hole 112

[0104] The 1st-layer wiring M1 is formed in the upper layer of the layer insulation film 111. The tungsten film by which patterning was carried out for example, with photolithography technology can be used for the 1st-layer wiring M1. The 1st-layer wiring M1 is electrically connected to semiconductor regions 107 and 108 through a plug 113. In addition, since tungsten material is used for the 1st-layer wiring M1, there is no problem of the diffusion to the semiconductor substrate of the element which constitutes the 1st-layer wiring M1, and the semiconductor integrated circuit equipment of high reliability can be constituted.

[0105] The insulator layer 114 between wiring layers which insulates between layers with the 2nd-layer wiring M2 later

explained to be the 1st-layer wiring M1 is formed in the upper layer of the 1st-layer wiring M1 and the layer insulation film 111. By grinding the silicon oxide formed by CVD by the CMP method, flattening of the front face is carried out, and the insulator layer 114 between wiring layers is constituted. the insulator layer 114 between wiring layers -- connection -- a hole 115 forms -- having -- connection -- tungsten film 116a formed of the spatter and the plug 116 which consists of tungsten film 116b formed of blanket CVD or selection CVD are formed in the hole 115 In addition, it can replace with tungsten film 116b, and the titanium-nitride film formed by the spatter or CVD can be used.

[0106] On the insulator layer 114 between wiring layers, the insulator layer 117 for wiring formation for forming the 2nd-layer wiring M2 is formed. Let the insulator layer 117 for wiring formation be the silicon oxide formed by CVD. In addition, illustration is omitted although the blemish by the scratch is formed in insulator layer 117 front face for wiring formation. This is formed in order to perform a certain amount of exaggerated polish in polish by the CMP method performed in the case of formation of the 2nd-layer wiring M2 so that the metal membrane of the front face of the insulator layer 117 for wiring formation may be removed certainly so that it may explain later, and it is a scratch blemish by the abrasive material of CMP.

[0107] The wiring slot 118 is formed in the insulator layer 117 for wiring formation, and the 2nd-layer wiring M2 is formed in the wiring slot 118. The 2nd-layer wiring M2 consists of barrier layer 119a which consists of a titanium nitride (TiN), and main conductive-layer 119b which consists of copper (Cu). Thus, since material, such as copper with small resistivity, is used for main conductive-layer 119b, the resistance of the 2nd wiring layer M2 can be reduced, the wiring resistance between

semiconductor devices is reduced, the time delay of a circuit is shortened, the speed of response of semiconductor integrated circuit equipment is improved, and the performance of semiconductor integrated circuit equipment can be improved.

[0108] In addition, as barrier layer 119a, it can replace with a titanium nitride and a tantalum (Ta), a nitriding tungsten (WN), a tantalum nitride (TaN), tantalum oxide (TaO), and an acid silicon nitride (SiON) can be used. Moreover, it can replace with copper and aluminum (aluminum) and a tungsten (W) can be used for main conductive-layer 119b. Barrier layer 119a prevents diffusion of the metallic element which constitutes main conductive-layer 119b, secures the insulation during wiring, and has the function which keeps high the performance and reliability of semiconductor integrated circuit equipment.

[0109] Moreover, although it is formed using the CMP method so that the 2nd-layer wiring M2 may be explained later, it originates in a difference of the polish speed by the CMP method of the material (for example, silicon oxide) which constitutes the insulator layer 117 for wiring formation, and the material (for example, copper and a titanium nitride) which constitutes the 2nd-layer wiring M2, and the crevice (dishing section) 120 of the configuration which became depressed on the front face is formed. That is, in order to form the 2nd-layer wiring M2 certainly, when a certain amount of exaggerated polish is performed, as compared with a silicon oxide, copper etc. will be ground quickly and will form the front face dented relatively. Existence of such a crevice 120 and the trouble resulting from this are as having described above.

[0110] The insulator layer 121 between wiring layers is formed in the front face of the insulator layer 117 for wiring formation, and the 2nd-layer wiring M2. The insulator layer 121 between wiring layers consists of

blocking layer 121a formed in contact with the 2nd-layer wiring M2 and the insulator layer 117 for wiring formation, flattening layer 121b, and insulator layer 121c.

[0111] Blocking layer 121a can be made into the silicon nitride formed for example, by the plasma CVD method, and has the function which suppresses diffusion of the copper which constitutes main conductive-layer 119b of the 2nd-layer wiring M2. Copper diffusion can be prevented with the effect of barrier layer 119a it is ineffective from a titanium nitride by this, the insulation of the insulator layer 114 between wiring layers, the insulator layer 117 for wiring formation, and the insulator layer 121 grade between wiring layers can be held, and the reliability of semiconductor integrated circuit equipment can be raised. In addition, thickness of blocking layer 121a can be set to about 100nm when a silicon nitride is used. Moreover, as blocking layer 121a, it can replace with a silicon nitride and a silicon acid nitride can also be used.

[0112] Flattening layer 121b can consist of the coat, for example, the SOG film, which has self-taught kinesis, can remove the influence of a crevice 120, and can carry out flattening of the front face. Thus, by having flattening layer 121b, formation of the residue of a metal membrane can be prevented in the case of formation of the plug embedded at the insulator layer 121 between wiring layers, or the upper wiring, short [during the upper wiring / poor] can be prevented so that it may explain later, the predetermined performance of semiconductor integrated circuit equipment can be secured [the flat nature of the front face of the insulator layer 121 between wiring layers is securable,], and the yield and reliability can be improved.

[0113] In addition, let flattening layer 121b be an inorganic SOG film. connection with flattening layer 121b which this explains later -- in the case of ablation of the photoresist film in the opening distance of

a hole, grant of the absorptivity to flattening layer 121b or the volume decrease of flattening layer 121b does not occur, but the reliability of semiconductor integrated circuit equipment can be improved. On the other hand, also let flattening layer 121b be an organic SOG film. Thereby, using the low dielectric constant of an organic SOG film of a certain thing, the aforementioned fault in a connection hole opening process reduces the line capacity during wiring, attains improvement in the speed of semiconductor integrated circuit equipment, and can improve the performance.

[0114] Insulator layer 121c can be made into the silicon oxide formed of CVD, and has the function to secure the thickness of the insulator layer 121 between wiring layers. Therefore, it is not indispensable when sufficient thickness of the insulator layer 121 between wiring layers is securable with flattening layer 121b.

[0115] In addition, the silicon oxide further formed of CVD between blocking layer 121a and flattening layer 121b can also be formed in the insulator layer 121 between wiring layers.

[0116] the insulator layer 121 between wiring layers -- connection -- a hole 122 forms -- having -- connection -- said plug 116 and the same plug 123 are formed in the hole 122. Moreover, on the insulator layer 121 between wiring layers, and the plug 123, said insulator layer 117 for wiring formation, the same insulator layer 124 for wiring formation as the 2nd-layer wiring M2, and the 3rd-layer wiring M3 are formed. About a plug 123, the insulator layer 124 for wiring formation, and the 3rd-layer wiring M3, since it is the same as that of said plug 116, insulator layer 117 for wiring formation, and 2nd-layer wiring M2, detailed explanation is omitted. That is, the 3rd-layer wiring M3 consists of main conductive layers which consist of a barrier layer and copper like the 2nd-layer wiring M2.

[0117] Moreover, although the same crevice 125 as the 2nd-layer wiring M2 is formed in the front face of the 3rd-layer wiring M3. Since flattening layer 126b which constitutes the insulator layer 126 between wiring layers exists, the front face of the insulator layer 126 between wiring layers. The irregularity resulting from a crevice 125 is canceled, formation of the residue of a metal membrane can be prevented in the case of formation of the plug formed in the upper layer, or the upper wiring, short [during the upper wiring / poor] can be prevented, the predetermined performance of semiconductor integrated circuit equipment can be secured, and the yield and reliability can be improved. Flattening layer 126b consists of the coat, for example, the SOG film, which has self-taught kinesis like said flattening layer 121b. Moreover, it is the same as that of said blocking layer 121a and insulator layer 121c also about the layer of others which constitute the insulator layer 126 between wiring layers, i.e., blocking layer 126a, and insulator layer 126c. Therefore, these detailed explanation is omitted. In addition, it is the same as that of the case of the insulator layer 121 between wiring layers that the silicon oxide further formed of CVD between blocking layer 126a and flattening layer 126b can be formed.

[0118] the insulator layer 126 between wiring layers -- connection -- a hole 127 forms -- having -- connection -- said plug 116 and the same plug 128 are formed in the hole 127. Moreover, on the insulator layer 126 between wiring layers, and the plug 128, said insulator layer 117 for wiring formation, the same insulator layer 129 for wiring formation as the 2nd-layer wiring M2, and the 4th-layer wiring M4 are formed. That is, the 4th-layer wiring M4 consists of main conductive layers which consist of a barrier layer and copper like the 2nd-layer wiring M2. However, the thickness of the insulator layer 129 for wiring formation, the thickness of the

4th-layer wiring M4, and width of face are larger than that of the insulator layer 117 for wiring formation, and the 2nd-layer wiring M2.

[0119] Moreover, although the same crevice 130 as the 2nd-layer wiring M2 is formed in the front face of the 4th-layer wiring M4. Since flattening layer 131b which constitutes the insulator layer 131 between wiring layers exists, the front face of the insulator layer 131 between wiring layers. The irregularity resulting from a crevice 130 is canceled, and in the case of formation of the plug formed in the upper layer, or the upper wiring, formation of the residue of a metal membrane is prevented and it can prevent short [during the upper wiring / poor]. Thereby, the predetermined performance of semiconductor integrated circuit equipment can be secured, and the yield and reliability can be improved. Flattening layer 131b consists of the coat, for example, the SOG film, which has self-taught kinesis like said flattening layer 121b. Moreover, it is the same as that of said blocking layer 121a and insulator layer 121c also about the layer of others which constitute the insulator layer 131 between wiring layers, i.e., blocking layer 131a, and insulator layer 131c. Therefore, these detailed explanation is omitted. In addition, the thickness of the insulator layer 131 between wiring layers is thicker than the insulator layer 121 between wiring layers. Moreover, it is the same as that of the case of the insulator layer 121 between wiring layers that the silicon oxide further formed of CVD between blocking layer 131a and flattening layer 131b can be formed.

[0120] the insulator layer 131 between wiring layers -- connection -- a hole 132 forms -- having -- connection -- said plug 116 and the plug 133 which consists of a tungsten similarly are formed in the hole 132. However, since the thickness of the insulator layer 131 between wiring layers is thick, the path and height of a plug 133

are larger than that of a plug 116.

[0121] Moreover, the 5th-layer wiring M5 is formed on the insulator layer 131 between wiring layers, and the plug 133. The 5th-layer wiring M5 consists of aluminum or an aluminium alloy, and is formed using photolithography technology and etching technology.

[0122] Thus, it can prevent that aluminum and copper react by connection electrically through the barrier layer which consists of a tungsten, and resistance increases the 4th-layer wiring M4 which consists of a 5th layer wiring layer M5 which consists of aluminum or an aluminium alloy, and a main conductive layer which consists of copper.

[0123] The 5th-layer wiring M5 is covered by the insulator layer 134. Let insulator layers 134 be the silicon oxide formed by CVD, silicon nitrides, or those cascade screens. Protective coats, such as PIQ, can be further included in an insulator layer 134.

[0124] A bump 136 and the 5th-layer wiring M5 are electrically connected through the bump ground metal (BLM) 135 which opening was formed in a part of insulator layer 134, and was formed in this opening. Let the bump ground metal 135 be the cascade screen of nickel and gold. Moreover, a bump 136 can be taken as gold or solder. In addition, as a material of the 5th-layer wiring M5, although copper can also be used, adjustment with the bump ground metal 135 and a bump 136 can be improved by using aluminum.

[0125] Moreover, when forming the bonding pad for wirebonding not with the bump 136 but with the 5th-layer wiring M5, reliability can be improved by forming a bonding pad by the aluminium alloy which cannot oxidize easily rather than copper. Moreover, by the wiring layer of the upper layer like the 5th-layer wiring M5, since wiring rules, such as a pitch during wiring, can take more loosely than the 2nd - the 4th-layer wiring M2-M4, reliability can be

improved with constituting the upper wiring from an aluminum film with few problems, such as oxidization, than copper. On the other hand, while being able to make small the wiring width of face and a wiring pitch and being able to form wiring with high density in the 2nd - the 4th-layer wiring M2-M4, by using copper with specific resistance smaller than aluminum as a main electric conduction film, wiring resistance can be made small and the working speed of a circuit can be improved.

[0126] In addition, it will be as follows if the path and height of the thickness of the 1st-layer wiring M1 or the 5th-layer wiring M5 and width of face, and plugs 116, 123, 128, and 133 are illustrated. For example, the thickness of the 1st-layer wiring M1 can set 0.2-0.3 micrometers and the minimum width of face to 0.4 micrometers, and, in the thickness of the 2nd-layer wiring M2 and the 3rd-layer wiring M3, 0.5 micrometers and the minimum width of face of those can set 1 micrometer and its minimum width of face to 1 micrometer for the thickness of 0.5 micrometers and the 4th-layer wiring M4. Moreover, for example, the path of plugs 116, 123, and 128 can be set to 0.5 micrometers, the height can be set to 1 micrometer, the path of a plug 133 can be set to 1 micrometer, and the height can be set to 2 micrometers.

[0127] Next, the manufacture method of the above-mentioned semiconductor integrated circuit equipment is explained according to drawing. Drawing 22 - drawing 54 are the cross sections having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 3 of this operation in order of the process.

[0128] First, p - The semiconductor substrate 101 which consists of single crystal silicon of type is prepared, patterning of the photoresist film which has opening of the field in which the isolation field 102 is formed is carried out, and the vadum is formed in the

semiconductor substrate 101. Next, a photoresist film is removed, the silicon oxide which embeds the aforementioned vadium is deposited all over the semiconductor substrate 101, and this silicon oxide is ground by the CMP method. This removes the aforementioned silicon oxide on the semiconductor substrate 101 of fields other than the vadium, and the isolation field 102 is formed in the vadium.

[0129] Next, the ion implantation of the impurity for carrying out patterning of the photoresist film which has opening to the field in which p type well 103 is formed, and making it the conducted type of p form of current by using this photoresist film as a mask, for example, the boron, is carried out. After removing the aforementioned photoresist film, the ion implantation of the impurity for carrying out patterning of the photoresist film which has opening to the field in which n type well 104 is formed, and making it the conducted type of n form of current by using this photoresist film as a mask, for example, Lynn, is carried out. Furthermore, after removing the aforementioned photoresist film, it heat-treats to the semiconductor substrate 101, the aforementioned impurity is activated, and p type well 103 and n type well 104 are formed (drawing 22).

[0130] Next, the silicon oxide used as the silicon oxide used as the gate insulator layer 105, the polycrystal silicon film used as the gate electrode 106, and the cap insulator layer 110 is deposited one by one on the principal plane of the semiconductor substrate 101, a cascade screen is formed, the aforementioned cascade screen is *****ed by using as a mask the photoresist film in which patterning was carried out by the photolithography, and the gate insulator layer 105, the gate electrode 106, and the cap insulator layer 110 are formed (drawing 23). Although the gate insulator layer 105 can be deposited for example, by heat CVD and the gate electrode 106 can be formed by CVD, in

order to reduce the resistance, you may dope the impurity (for example, P) of n form. in addition, the upper part of the gate electrode 106 -- WSix, MoSix, TiSix, and TaSix etc. -- the laminating of the refractory-metal silicide film may be carried out, and metal layers, such as a tungsten (W), molybdenum (Mo), titanium (Ti), and a tantalum (Ta), may be formed through barrier layers, such as a titanium nitride (TiN) and a nitriding tungsten (WN) The cap insulator layer 110 can be deposited by CVD.

[0131] Next, patterning of the photoresist film which has opening to the field in which n channel MISFETQn is formed is carried out, the ion implantation of the impurity of an n type conductivity type, for example, Lynn, is carried out by using this photoresist film and the cap insulator layer 110 as a mask, and a semiconductor region 107 is formed in a self-adjustment target to the gate electrode 106. After removing the aforementioned photoresist film, patterning of the photoresist film which has opening to the field in which p-channel MISFETQp is formed is carried out, the ion implantation of the impurity of a p type conductivity type, for example, the boron, is carried out by using this photoresist film and the cap insulator layer 110 as a mask, and a semiconductor region 108 is formed in a self-adjustment target to the gate electrode 106. Furthermore, after depositing a silicon-oxide film in CVD on the semiconductor substrate 101, the sidewall spacer 109 is formed in the side attachment wall of the gate electrode 106 by carrying out anisotropic etching of this silicon-oxide film by the reactive-ion-etching (RIE) method (drawing 24). In addition, further, by using a photoresist film, the cap insulator layer 110, and the sidewall spacer 109 as a mask, the ion implantation of the impurity according to the conductivity type may be carried out to high concentration, and the so-called impurity semiconductor field of

LDD structure may be formed in a semiconductor region 107 or a semiconductor region 108.

[0132] Moreover, a tungsten or the silicide film of cobalt is formed in the front face of semiconductor regions 107 and 108, and you may make it reduce sheet resistance of semiconductor regions 107 and 108, and contact resistance with a plug 113 in this stage.

[0133] Next, a silicon oxide film is deposited in a sputter or CVD on the semiconductor substrate 101, and the layer insulation film 111 is formed. Flattening of the front face of the layer insulation film 111 can be carried out by polish which used the CMP method. furthermore, the semiconductor region 107 of the principal plane of the semiconductor substrate 101 and the layer insulation film 111 on 108 -- photolithography technology and etching technology -- using -- connection -- opening of the hole 112 is carried out (drawing 25)

[0134] Next, tungsten film 113a is deposited by the sputter, and tungsten film 113b is further deposited by blanket CVD (drawing 26).

[0135] next, connection -- a hole -- polish by the CMP method removes tungsten film 113b on layer insulation films 111 other than 112, and tungsten film 113a, and a plug 113 is formed (drawing 27) At this time, the crevice (dishing section) 140 resulting from the speed difference [a / the silicon oxide, tungsten film 113b, and tungsten film 113a / which are the layer insulation film 111] of CMP polish is formed in the front face of a plug 113. In addition, it may replace with the CMP method and the etchback method may be used.

[0136] Next, a tungsten film is deposited all over the semiconductor substrate 1, patterning of this tungsten film is carried out with a photolithography and etching technology, and the 1st-layer wiring M1 is formed (drawing 28). In addition, although the influence of the crevice 140

generated at the last process is generated also on the front face of a tungsten film, since, as for existence of the surface irregularity of the tungsten film resulting from this crevice 140, the 1st-layer wiring M1 is formed of patterning, big influence does not receive. That is, the 1st-layer wiring M1 originates in a crevice 140, and does not remain.

[0137] Next, a silicon oxide film is deposited in a sputter or CVD, and the insulator layer 114 between wiring layers is formed. In addition, although the silicon oxide formed by the sputter or CVD is illustrated here, you may be application films, such as SOG, an organic film, the CVD silicon oxide that added the fluorine, a silicon nitride, and the other multilayers which carried out the laminating of two or more insulator layers of a seed. Moreover, the front face of the insulator layer 114 between wiring layers is ground by the CMP method, and carries out flattening. thus, the connection explained below by carrying out flattening -- the photolithography in the case of processing of a hole 115 can be performed with a sufficient precision, and it becomes easy to deal with high integration of semiconductor integrated circuit equipment

[0138] next, the connection which arrives at the front face of the 1st-layer wiring M1 using photolithography technology and etching technology -- opening of the hole 115 is carried out (Drawing 29).

[0139] next, connection -- tungsten film 116a is deposited on the front face of the insulator layer 114 between wiring layers including the interior of a hole 115 by the sputter, and tungsten film 116b is further deposited on it by blanket CVD (drawing 30)

[0140] next, connection -- a hole -- it removes by grinding tungsten film 116b on insulator layers 114 between wiring layers other than 115, and tungsten film 116a by the CMP method, and a plug 116 is formed

(drawing 31) At this time, the crevice 141 resulting from the speed difference [a / the silicon oxide, tungsten film 116b, and tungsten film 116a / which are the insulator layer 114 between wiring layers] of CMP polish is formed in the front face of a plug 116. In addition, it may replace with the CMP method and the etchback method may be used.

[0141] Next, the insulator layer 117 for wiring formation for forming the 2nd-layer wiring M2 by the CMP method is deposited (drawing 32). The insulator layer 117 for wiring formation can be made into the silicon oxide formed of CVD or the spatter, and forms the thickness thickly a little rather than 0.5 micrometers or it which is the thickness of the 2nd-layer wiring M2. The crevice resulting from a crevice 141 is formed in the front face of the insulator layer 117 for wiring formation.

[0142] Next, the photoresist film which has opening is formed in the field in which the 2nd-layer wiring M2 is formed, the insulator layer 117 for wiring formation is *****ed by using this photoresist film as a mask, and the wiring slot 118 is formed in the insulator layer 117 for wiring formation (drawing 33). In addition, the crevice of the front face of the insulator layer 117 for wiring formation resulting from the crevice 141 described above in this stage is removed, and does not influence a subsequent process. Moreover, although the width of face of the wiring slot 118 is formed by the width of face between the minimum width of face W1 and the maximum width W2, the maximum width W2 is 4 or less times of the minimum width of face W1.

[0143] Next, the titanium-nitride film 142 used as barrier layer 119a is deposited on the front face of the insulator layer 117 for wiring formation including the interior of the wiring slot 118 (drawing 34). The titanium-nitride film 142 can be deposited by CVD or the spatter. Deposition of the titanium-nitride film 142 is performed to

the improvement in the adhesion of the copper film explained later, and the well of diffusion prevention of copper. In addition, it may replace with a titanium-nitride film and you may be a metal membrane or tantalum-nitride films, such as a tantalum, etc. Moreover, it is also possible to carry out sputtering etch of the front face of the titanium-nitride film 142 just before deposition of the copper film which is the following process. By such sputtering etch, water, an oxygen-content child, etc. who stuck to the front face of the titanium-nitride film 142 can be removed, and the adhesive property of a copper film can be improved.

[0144] Next, the thin film of the metal used as main conductive-layer 119b, for example, copper, is deposited, this is heat-treated and fluidized, and the copper film 143 embedded good in the wiring slot 118 is formed (drawing 35). Although deposition of a copper film 143 can use the usual spatter, it may use physical vapor growths, such as a vacuum deposition. Moreover, you may deposit by the CVD which used organic-metal gas etc. for material gas. The conditions of heat treatment need the temperature and time which a copper film 143 fluidizes, for example, can illustrate 350 degrees C - 400 degrees C and 3 minutes - 5 minutes. In addition, a copper film 143 can also be formed using plating of electrolysis plating or electroless deposition. [0145] Moreover, the wiring slot 118 is thickness H1 in the field of the minimum width of face W1, and the wiring slot 118 of the thickness of the titanium-nitride film 142 and a copper film 143 is thickness H2 in the field of the maximum width W2. At this time, thickness H1 and thickness H2 are larger than the depth L1 of the wiring slot 118 almost equally. Namely, as for the copper film 143, the wiring slot 118 is embedding the wiring slot 118 completely on the both sides of the field of the minimum width of face W1, and the field of the maximum width W2. Thereby, the

2nd-layer wiring M2 is formed throughout the simultaneously in the cross section of the wiring slot 118, and resistance of the 2nd-layer wiring M2 can be reduced.

[0146] Next, the excessive copper film 143 and the titanium-nitride film 142 on the insulator layer 117 for wiring formation are removed, and main conductive-layer 119b and barrier layer 119a which constitute the 2nd-layer wiring M2 are formed (drawing 36). Polish by the CMP method is used for removal of a copper film 143 and the titanium-nitride film 142. In order to use polish by the CMP method for formation of the 2nd-layer wiring M2, the dishing 120 which is in the state dented as compared with the front face of the insulator layer 117 for wiring formation is formed in the front face of the 2nd-layer wiring M2. The enlarged view of the portion surrounded with the alternate long and short dash line of drawing 36 is shown in drawing 37 . As shown in drawing 37 , the scratch 145 which is a scratch blemish by the abrasive material of CMP etc. is formed in the front face of the insulator layer 117 for wiring formation.

[0147] Moreover, as for the amount K1 of dishing of the portion of the dishing 120 of the field of the minimum width of face W1, and the amount K2 of dishing of the portion of the dishing 120 of the field of the maximum width W2, the wiring slot 118 serves as the amount of said mostly.

[0148] Next, on 2nd layer wiring M2 and the insulator layer 117 for wiring formation, a silicon nitride is deposited and blocking layer 121a is formed (drawing 38). For example, a plasma CVD method can be used for deposition of a silicon nitride. Thickness may be about 100nm. The thickness of a silicon nitride is thin, and since the silicon nitride by CVD is excellent in the covering nature of a level difference, as the front face of blocking layer 121a in this stage is shown in drawing 39 , the irregularity resulting from dishing 120 and a scratch 145 exists. In addition, drawing

39 shows the enlarged view of the portion surrounded with the alternate long and short dash line of drawing 38 .

[0149] Next, the SOG film which is a coat with self-taught kinesis is applied, the cure of the heat treatment of about 400 more degrees C is performed and carried out, and flattening layer 121b is formed (drawing 40). An organic or inorganic SOG film can be used as an SOG film. Moreover, it is also possible to use the SOG film of a polysilazane system. In the case of the SOG film of a polysilazane system, it has thermal resistance, and the reliability of semiconductor integrated circuit equipment can be improved in it. Drawing 41 shows the enlarged view of the portion surrounded with the alternate long and short dash line of drawing 40 . As shown in drawing 41 , in order to use the SOG film which has self-taught kinesis as flattening layer 121b, flattening of the front face is carried out, and the influence of dishing 120 and a scratch 145 is eliminated.

[0150] Next, insulator layer 121c is deposited and the insulator layer 121 between wiring layers is completed (drawing 42). Let insulator layer 121c be a silicon oxide by CVD. As for the front face of insulator layer 121c, i.e., the front face of the insulator layer 121 between wiring layers, flat nature is secured by existence of flattening layer 121b. the conductivity of the plug 123 grade formed at a subsequent process by this -- the conductive residue which originates in dishing 120 or a scratch 145 in the case of formation of a member is not formed, but the insulation during the 3rd-layer wiring M3 which is the upper wiring is secured Moreover, since flattening of the front face of the insulator layer 121 between wiring layers is carried out, the margin of a photolithography is improved and it becomes possible to correspond to detailed-ization of semiconductor integrated circuit equipment.

[0151] next, connection -- patterning of the photoresist film 146 which has opening is

carried out to the field in which a hole 122 is formed, and insulator layer 121c and flattening layer 121b are *****ed to it by using this photoresist film 146 as a mask (drawing 43) In the case of this etching, it can etch on the conditions to which the etch rate of a silicon oxide becomes large as compared with a silicon nitride, and can use as a stopper film of etching of blocking layer 121a which consists of a silicon oxide.

[0152] next, the conditions to which the etch rate of a silicon nitride becomes large about the conditions of etching as compared with a silicon oxide -- switching -- further -- blocking layer 121a -- *****ing -- connection -- formation of a hole 122 is completed (drawing 44) thus, connection -- even if it fully performs over etching in the case of etching of blocking layer 121a by etching a hole 122 in two stages, since the thickness of blocking layer 121a is thin, the 2nd-layer wiring M2 does not ***** superfluously for this reason, connection -- while performing opening of a hole 122 certainly, the damage to the 2nd-layer wiring M2 can be made into the minimum

[0153] moreover -- the case where inorganic [of flattening layer 121b / SOG] is used although the ashing method by oxygen or ozone is usually used in the case of removal of the photoresist film 146 -- the time of this ashing -- connection -- the damage received in the cross section of flattening layer 121b for a lateral portion of a hole 122 can be suppressed Namely, if it uses organic [SOG] for flattening layer 121b, it will be Si-CH₃ in organic [SOG] in the case of ozone ashing. Combination is changed into Si-OH or Si-O combination, and the hygroscopicity of the portion or film contraction occurs. Consequently, the fall of the reliability of semiconductor integrated circuit equipment and the fall of the yield are predicted, and it is not desirable. Therefore, when adopting organic [SOG], it will be necessary to use

the process in which neither the exfoliation by the wet process of the photoresist film 146 nor reactive ion etching (RIE) using low voltage oxygen plasma is skilled as compared with ashing. However, in using inorganic [SOG] for flattening layer 121b, it does not produce such fault.

[0154] just before [in addition,] the formation process of the plug 123 of the following process progresses -- for example, hydrogen atmosphere -- setting -- annealing for 350 degrees C and about 5 minutes -- giving -- connection -- reduction processing can be performed on the front face of the 2nd-layer wiring M2 of the bottom of a hole 122 furthermore, connection -- sputter etching to the bottom of a hole 122 can also be performed the connection which this produced by neglect to ashing or air atmosphere in the case of removal of the photoresist film 146 -- a hole -- the copper oxide of 122 bottom is removed and reduction of connection resistance of the electrical installation of the 2nd-layer wiring M2 and a plug 123 or improvement in connection reliability can be aimed at

[0155] Next, a plug 123 is formed like the formation method of said plug 116 (drawing 45). Although it is as having described above that the CMP method is used on the occasion of formation of this plug 123, since flattening of the front face of the insulator layer 121 between wiring layers is carried out, the conductive residue does not remain on the front face of the insulator layer 121 between wiring layers. For this reason, the insulation during the 3rd-layer wiring M3 formed on the insulation between plugs 123 and the insulator layer 121 between wiring layers is secured. In addition, in the front face of a plug 123, it originates in polish by the CMP method, and a crevice 147 is formed.

[0156] Next, the insulator layer 124 for wiring formation for forming the 3rd-layer wiring M3 is formed in the upper surface of the insulator layer 121 between wiring

layers, and a plug 123 (drawing 46). The insulator layer 124 for wiring formation can be formed like the insulator layer 117 for wiring formation. Moreover, the crevice resulting from a crevice 147 is formed in the front face of the insulator layer 124 for wiring formation.

[0157] Next, the 3rd-layer wiring M3 which consists of a barrier layer and a copper film like the case of said 2nd-layer wiring M2 is formed (drawing 47). On the occasion of formation of this 3rd-layer wiring M3, the crevice of insulator layer 124 front face for wiring formation resulting from a crevice 147 does not form the conductive survival resulting from it. This is the same as that of the case of the 2nd-layer wiring M2, and it is based on *****ing in the case of processing of the vadum for forming the 3rd-layer wiring M3, and said crevice being removed at it. In addition, the crevice 125 resulting from polish of the CMP method is formed in the front face of the 3rd-layer wiring M3.

[0158] Next, blocking layer 126a and flattening layer 126b which constitute the insulator layer 126 between wiring layers which insulates the 3rd-layer wiring M3 and the 4th-layer wiring M4 are formed in the front face of the insulator layer 124 for wiring formation, and the 3rd-layer wiring M3 (drawing 48). Formation of blocking layer 126a and flattening layer 126b can be performed like blocking layer 121a and flattening layer 121b. By forming flattening layer 121b, the influence of a crevice 125 can be removed and the front face can be made flat.

[0159] Next, insulator layer 126c which constitutes the insulator layer 126 between wiring layers is deposited, and formation of the insulator layer 126 between wiring layers is completed. Since flattening layer 121b exists, flattening of the front face of the insulator layer 126 between wiring layers is carried out. Furthermore, the plug 128 as well as a plug 116 is formed (drawing 49). Although it is as having

described above that the CMP method is used on the occasion of formation of this plug 128, since flattening of the front face of the insulator layer 126 between wiring layers is carried out, the conductive residue does not remain on the front face of the insulator layer 126 between wiring layers. For this reason, the insulation during the 4th-layer wiring M4 formed on the insulation between plugs 128 and the insulator layer 126 between wiring layers is secured. In addition, although it originates in polish by the CMP method in the front face of a plug 128 and a crevice 149 is formed, it is the same as that of the case of the 3rd-layer aforementioned wiring to originate in this and not to produce the conductive residue at the following process. [0160] Next, the insulator layer 129 for wiring formation for forming the 4th-layer wiring M4 is formed in the upper surface of the insulator layer 126 between wiring layers, and a plug 128. Although formation of the insulator layer 129 for wiring formation can be performed like the insulator layer 117 for wiring formation, the thickness of the 4th-layer wiring M4 is thickly formed in connection with a bird clapper by 1-micrometer thickness or thickness [a little] thicker than it more thickly than the insulator layer 117 for wiring formation. Then, like the case of the 2nd wiring layer M2 or the 3rd-layer wiring M3, a wiring slot is formed and the titanium-nitride film 150 and a copper film 151 are deposited (drawing 50). The titanium-nitride film 150 and a copper film 151 can be formed like the case of the 2nd wiring layer M2 or the 3rd-layer wiring M3. [0161] Next, the titanium-nitride film 150 and a copper film 151 are ground by the CMP method, and the excessive titanium-nitride film 150 and excessive copper film 151 of the insulator layer 129 for wiring formation on top are removed. This forms the 4th-layer wiring M4 (drawing 51). In addition, the crevice 130 resulting from polish of the CMP method is

formed in the front face of the 4th-layer wiring M4.

[0162] Next, blocking layer 131a and flattening layer 131b which constitute the insulator layer 131 between wiring layers which insulates the 4th-layer wiring M4 and the 5th-layer wiring M5 are formed in the front face of the insulator layer 129 for wiring formation, and the 4th-layer wiring M4 (drawing 52). Formation of blocking layer 131a and flattening layer 131b can be performed like blocking layer 121a and flattening layer 121b. By forming flattening layer 131b, the influence of a crevice 130 can be removed and the front face can be made flat.

[0163] Next, insulator layer 131c which constitutes the insulator layer 131 between wiring layers is deposited, and formation of the insulator layer 131 between wiring layers is completed. Since flattening layer 131b exists, flattening of the front face of the insulator layer 131 between wiring layers is carried out. Furthermore, the plug 133 as well as a plug 116 is formed (drawing 53).

[0164] Next, on the insulator layer 131 between wiring layers, for example, an aluminum film is deposited on the whole surface, patterning of this aluminum film is carried out, and the 5th-layer wiring M5 is formed (drawing 54). A spatter, CVD, a vacuum deposition, etc. can be used for deposition of an aluminum film.

[0165] Next, a silicon oxide is deposited, for example, an insulator layer 134 is formed, and opening is formed in the insulator layer 134 of the putt upper part of the 5th-layer wiring after that. Furthermore, a nickel film and a gold film are used for the whole surface, a spatter, CVD, a vacuum deposition, etc. are deposited on it, the nickel films and gold films other than the aforementioned putt section are removed, and the bump ground metal 135 is formed. Then, the semiconductor integrated circuit equipment which forms a bump 136 by the imprint of a golden ball or deposition of a

gold film, and patterning, and is shown in drawing 22 is completed mostly.

[0166] In addition, an insulator layer 134 may form a PIQ film in the cascade screen of a silicon oxide and a silicon nitride, or a pan. Moreover, a bump 136 may be a solder ball by formation and patterning of a solder film.

[0167] According to the semiconductor integrated circuit equipment and its manufacture method of a gestalt 3 of this operation Since the flattening layers 121b, 126b, and 131b are formed in the insulator layers 121, 126, and 131 between wiring layers in which plugs 123, 128, and 133 are formed as described above, In case plugs 123, 128, and 133 are formed by the CMP method, the conductive residue does not remain. The insulation of the 3rd formed in the upper layer of plugs 123, 128, and 133 and each plug - the 5th-layer wiring M3-M5 can be secured, the predetermined performance of semiconductor integrated circuit equipment can be maintained, and improvement in the reliability and the yield can be aimed at.

[0168] In addition, with the gestalt 3 of this operation, as flattening layers 121b, 126b, and 131b, although the SOG film was illustrated, it can also consider as the silicon oxide formed of generation of the silanol in a gaseous phase (Hn Si(OH)4-n), and the reaction of the silanol on a low-temperature substrate.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section having shown an example of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 2] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 1 of operation in order of the process.

[Drawing 3] It is the cross section having

shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 4 of operation in order of the process.

[Drawing 63] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 4 of operation in order of the process.

[Drawing 64] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 4 of operation in order of the process.

[Drawing 65] It is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 66] It is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 67] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 6 of operation in order of the process.

[Drawing 68] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 6 of operation in order of the process.

[Drawing 69] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 6 of operation in order of the process.

[Drawing 70] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 6 of operation in order of the process.

[Drawing 71] It is the cross section having shown an example of the manufacture method of the semiconductor integrated circuit equipment of the gestalt 6 of

operation in order of the process.

[Drawing 72] It is the cross section having shown other examples of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 73] It is a drawing explaining the trouble which this invention persons examined, and a b-b cross section [in / (a) / (a) and / in (b)] and (c) are the c-c cross sections in (a). / a plan

[Drawing 74] It is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 75] It is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 76] It is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 77] It is the cross section having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Description of Notations]

- 1 Semiconductor Substrate
- 2 SOI Insulating Layer
- 3 U Slot Isolation Field
- 4 P Well
- 6 Gate Insulator Layer
- 7 Gate Electrode
- 8 Impurity Semiconductor Field
- 9 Sidewall Spacer
- 10 Cap Insulator Layer
- 11a Layer insulation film
- 11b Layer insulation film
- 11c Scratch
- 12 Connection -- Hole
- 13 Metal Plug
- 13a Tungsten film
- 13b Metal plug

13c Tungsten film	117b Insulator layer
14 Wiring	118 Wiring Slot
14a The main conductive layer	119a Barrier layer
14b Titanium nitride film	119b The main conductive layer
14c Dishing	120 Dishing (Crevice)
15 Wiring Slot	121 Insulator Layer between Wiring Layers
16 Layer Insulation Film	121a Blocking layer
16a Blocking layer	121b Flattening layer
16b Flattening layer	121c Insulator layer
16c Insulator layer	121d Insulator layer
17 Wiring Slot	122 Connection -- Hole
18 Wiring	123 Plug
18a The main conductive layer	124 Insulator Layer for Wiring Formation
18b Titanium nitride film	124a Flattening layer
19 Metal Membrane	124b Insulator layer
20 Metal Membrane	125 Crevice
21 Layer Insulation Film	126 Insulator Layer between Wiring Layers
21a Blocking layer	126a Blocking layer
21b Silicon oxide	126b Flattening layer
22 Silicon Oxide	126c Insulator layer
23 Crevice	126d Insulator layer
101 Semiconductor Substrate	127 Connection -- Hole
102 Isolation Field	128 Plug
103 P Type Well	129 Insulator Layer for Wiring Formation
104 N Type Well	129a Flattening layer
105 Gate Insulator Layer	129b Insulator layer
106 Gate Electrode	130 Crevice
107 Impurity Semiconductor Field	131 Insulator Layer between Wiring Layers
108 Impurity Semiconductor Field	131a Blocking layer
109 Sidewall Spacer	131b Flattening layer
110 Cap Insulator Layer	131c Insulator layer
111 Layer Insulation Film	131d Silicon oxide
112 Connection -- Hole	132 Connection -- Hole
113 Plug	133 Plug
113a Tungsten film	134 Insulator Layer
113b Tungsten film	135 Bump Ground Metal (BLM)
114 Insulator Layer between Wiring Layers	136 Bump
114a Flattening layer	140 Crevice
114b Insulator layer	141 Crevice
114c The insulator layer for wiring formation	142 Titanium Nitride Film
115 Connection -- Hole	143 Copper Film
116 Plug	145 Scratch
116a Tungsten film	146 Photoresist Film
116b Tungsten film	147 Crevice
117 Insulator Layer for Wiring Formation	149 Crevice
117a Flattening layer	

150 Titanium-Nitride Film
151 Copper Film
152 Tungsten Film
153 Crevice
201 Insulator Layer
202 Wiring
203 Insulator Layer
204 Wiring Slot
205 Crevice
206 Insulator Layer
207 Plug
208 Conductive Material
209 Insulator Layer
210 Wiring
M1 The 1st-layer wiring
M2 The 2nd-layer wiring
M3 The 3rd-layer wiring
M4 The 4th-layer wiring
M5 The 5th-layer wiring
Qn N channel MISFET
Qp P-channel MISFET

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145288

(43) 公開日 平成11年(1999) 5月28日

(51) IntCl.⁸

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

D

21/304

3 2 1

21/304

3 2 1 S

21/3205

21/88

K

審査請求 未請求 請求項の数24 O L (全 38 頁)

(21) 出願番号 特願平10-81415

(71) 出願人 000005108

(22) 出願日 平成10年(1998) 3月27日

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(31) 優先権主張番号 特願平9-242825

(72) 発明者 大橋 直史

東京都青梅市新町六丁目16番地の 3 株式

(32) 優先日 平 9 (1997) 9 月 8 日

会社日立製作所デバイス開発センタ内

(33) 優先権主張国 日本 (J P)

(72) 発明者 山口 日出

東京都青梅市新町六丁目16番地の 3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の 3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

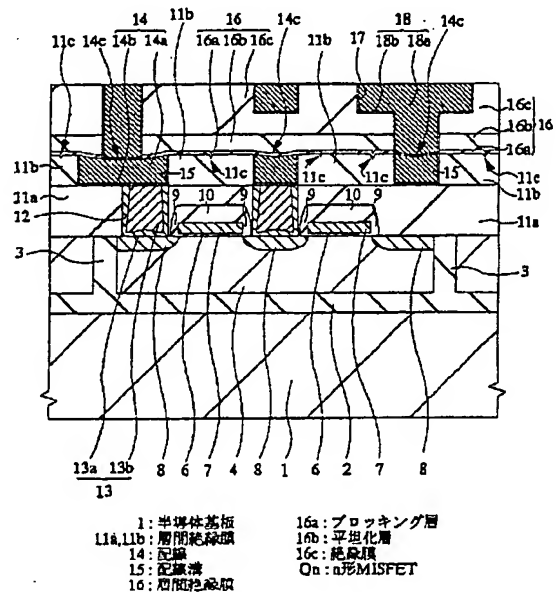
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 CMP法により形成された第1金属配線上の第2金属配線のショート不良を防止し、半導体集積回路装置の歩留まりおよび信頼性を向上する。

【解決手段】 n形MISFET-Qnが形成された半導体基板1の上層に層間絶縁膜11a、11bが形成され、層間絶縁膜11bに形成された配線溝15に埋め込まれた配線14が銅等の金属膜の堆積とCMP法による研磨によって形成された半導体集積回路装置において、配線14および層間絶縁膜11b上に形成された層間絶縁膜16をブロッキング層16a、平坦化層16bおよび絶縁膜16cで構成する。平坦化層16bとして自己流動性を有する被膜、たとえばSOG膜を用いる。

図 1



【特許請求の範囲】

【請求項1】 半導体基板の主面に形成された半導体素子と、前記半導体素子の上部に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、前記第1絶縁膜の上面に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、
前記第2絶縁膜には、自己流動性を有する流動性絶縁膜が含まれることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、
前記流動性絶縁膜は、前記第2絶縁膜の表面を平坦化するように構成されることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、
前記第2絶縁膜の凹部は、配線溝を構成し、前記第2絶縁膜の導電性部材は、前記配線溝に形成された配線を構成し、前記流動性絶縁膜の上部に前記配線溝が形成されることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または2記載の半導体集積回路装置であって、
前記第2絶縁膜の凹部は、配線溝と接続孔とを構成し、前記第2絶縁膜の導電性部材は、前記配線溝に形成された配線と、前記接続孔に形成されたプラグとを構成し、前記流動性絶縁膜は、前記配線溝間に形成されることを特徴とする半導体集積回路装置。

【請求項5】 請求項1または2記載の半導体集積回路装置であって、
前記第2絶縁膜の凹部は、配線溝と接続孔とを構成し、前記第2絶縁膜の導電性部材は、前記配線溝に形成された配線と、前記接続孔に形成されたプラグとを構成し、前記流動性絶縁膜は、前記配線溝間に形成される第1流動性絶縁膜と、前記配線溝の下部に形成される第2流動性絶縁膜とを有することを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5の何れか一項に記載の半導体集積回路装置であって、

前記第2絶縁膜の凹部は、前記第2絶縁膜の表面近傍に形成された配線溝と前記配線溝の下部に形成された接続孔とからなり、前記導電性部材は、前記配線溝に形成された配線部と前記接続孔に形成された接続部とが一体として形成されたものであることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6の何れか一項に記載の半導体集積回路装置であって、
前記第2絶縁膜は、自己流動性を有さない非流動性絶縁膜、前記流動性絶縁膜および前記非流動性絶縁膜が積層された3層構造を有することを特徴とする半導体集積回

路装置。

【請求項8】 請求項1～7の何れか一項に記載の半導体集積回路装置であって、
前記流動性絶縁膜は、SOG膜であることを特徴とする半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置であって、
前記SOG膜は、無機SOG膜であることを特徴とする半導体集積回路装置。

10 【請求項10】 請求項1～7の何れか一項に記載の半導体集積回路装置であって、
前記流動性絶縁膜は、気相中におけるシラノールの生成と低温基板上での前記シラノールの反応とにより形成されるシリコン酸化膜であることを特徴とする半導体集積回路装置。

【請求項11】 請求項1～10の何れか一項に記載の半導体集積回路装置であって、
前記凹部、配線溝または接続孔の幅Wはその最大幅 W_{max} と最小幅 W_{min} との範囲内にあり、 $W_{max} \leq 4 \times W_{min}$ 、の条件を満足することを特徴とする半導体集積回路装置。

【請求項12】 半導体基板の主面に形成された半導体素子と、前記半導体素子の上部に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、前記第1絶縁膜の上面に形成され、その一部に形成された凹部に研磨法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、
前記第2絶縁膜には、研磨法により平坦化された絶縁膜が含まれていることを特徴とする半導体集積回路装置。

【請求項13】 請求項1～12の何れか一項に記載の半導体集積回路装置であって、
前記凹部または配線溝に形成された配線の上面には、前記配線を構成する金属元素の拡散を防止する拡散防止膜が形成されていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、
前記拡散防止膜はプラズマCVD法により形成されたシリコン窒化膜であることを特徴とする半導体集積回路装置。

【請求項15】 半導体集積回路装置の製造方法であって、(a)半導体基板上に形成された第1絶縁膜に凹部を形成する工程、(b)前記凹部の内部を含む前記第1絶縁膜の表面に、前記凹部を埋め込む第1導電性膜を形成する工程、(c)前記第1導電性膜を研磨して、前記第1絶縁膜の凹部に前記第1導電性膜を残すことにより前記第1導電性部材を形成する工程、(d)前記第1導電性部材の上部に自己流動性を有する流動性絶縁膜を含む第2絶縁膜を形成する工程、(e)前記第2絶縁膜

に凹部を形成する工程、(f)前記第2絶縁膜の凹部を埋め込む第2導電性膜を形成する工程、(g)前記第2導電性膜を研磨して、前記第2絶縁膜の凹部に第2導電性部材を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項15記載の半導体集積回路装置の製造方法であって、前記流動性絶縁膜は、前記半導体基板にSOG膜を塗布し、熱処理することによって形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項15記載の半導体集積回路装置の製造方法であって、前記流動性絶縁膜は、前記半導体基板を減圧雰囲気下の反応室に100℃以下の低温で保持し、前記反応室内に $\text{SiH}_x\text{M}_{4-x}$ （ただしMは炭素数1～3のアルキル基、 $1 \leq x \leq 4$ ）および H_2O_2 を導入してシラノールを生成し、前記シラノールが堆積した前記半導体基板を熱処理することによって形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項15～17の何れか一項に記載の半導体集積回路装置の製造方法であって、前記第1導電性部材が形成される前記凹部の幅Wは、その最大幅 W_{\max} がその最小幅 W_{\min} の4倍以内（ $W_{\min} \leq W \leq 4 \times W_{\min}$ ）となるように形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法であって、前記(b)工程において前記第1絶縁膜の凹部に埋め込まれた前記導電性膜は、前記最小幅 W_{\min} における前記凹部でのその標高H1と、前記最大幅 W_{\max} における前記凹部でのその標高H2とがほぼ等しく（ $H1 \approx H2$ ）、かつ、前記標高H1およびH2は、前記第1絶縁膜の表面の標高L1よりも高い（ $H1 \approx H2 > L2$ ）ことを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項請求項18または19記載の半導体集積回路装置の製造方法であって、前記(c)工程において研磨された前記第1導電性部材は、前記最小幅 W_{\min} における前記凹部での前記第1導電性部材表面のディッシング量K1と、前記最大幅 W_{\max} における前記凹部での前記第1導電性部材表面のディッシング量K2とがほぼ等しい（ $K1 \approx K2$ ）ことを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項15～20の何れか一項に記載の半導体集積回路装置の製造方法であって、前記流動性絶縁膜の形成前にCVD法を用いたシリコン酸化膜を堆積し、その後前記流動性絶縁膜を形成し、さらにCVD法によりシリコン酸化膜を堆積することにより前記第2絶縁膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項15～21の何れか一項に記載の半導体集積回路装置の製造方法であって、前記第1導電性部材の形成後、前記第1導電性部材の表面を覆う拡散防止膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項22記載の半導体集積回路装置の製造方法であって、前記拡散防止膜としてシリコン窒化膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 半導体基板の主面に形成された半導体素子と、前記半導体素子の上面に形成され、その一部に第1導電性部材が埋め込まれた第1絶縁膜と、前記第1絶縁膜の上面に形成され、その一部に第2導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置の製造方法であって、(a)半導体基板上に形成された第1絶縁膜に凹部を形成する工程、(b)前記凹部の内部を含む前記第1絶縁膜の表面に、前記凹部を埋め込む第1導電性膜を形成する工程、(c)前記第1導電性膜を研磨して、前記第1絶縁膜の前記凹部にのみ前記第1導電性膜を残すことにより前記第1導電性部材を形成する工程、(d)前記第1導電性部材の上部に第2絶縁膜を形成し、前記第2絶縁膜を研磨して平坦化する工程、(e)前記第2絶縁膜に凹部を形成する工程、

(f)前記第2絶縁膜の凹部を埋め込む第2導電性膜を形成した後、前記第2導電性膜を研磨して、前記第2絶縁膜の凹部に内に前記第2導電性部材を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術および半導体集積回路装置に関し、特に、銅を主導電層とする配線であって、溝内への銅薄膜の堆積後、CMP（Chemical Mechanical Polishing）法により溝領域以外の銅薄膜を除去して形成された配線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、半導体集積回路における配線層の形成は、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p253～p292に記載されているように、絶縁膜上にアルミニウム（Al）合金またはタングステン（W）などの高融点金属薄膜を成膜した後、フォトリソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成していた。

【0003】しかし、このAl合金等を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体集積回路装置の性能

が低下する等の問題があった。特に高性能なロジックLSIにおいては、その性能阻害要因として大きな問題が生じている。

【0004】このため、最近では、1993 VMIC (VLSI Multilevel Interconnection Conference) 予稿集、p15～p21に記載されているように、絶縁膜に形成した溝上に銅(Cu)を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP法(化学機械研磨法)を用いて除去することにより溝内に配線パターンを形成する方法(いわゆるダマシン法)が検討されている。

【0005】また、特開平7-297183号公報には、半導体基板上に形成された絶縁層上に配線溝を形成し、さらに絶縁膜を形成した後に導電性配線層を形成し、配線溝を埋め込むようにSOG(Spin On Glass)からなる平坦化層を形成し、平坦化層および導電性配線層をポリッシングして導電性配線層からなる配線を配線溝に形成する技術が記載されている。

【0006】

【発明が解決しようとする課題】しかし、絶縁膜に形成した溝上に銅(Cu)等を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP法(化学機械研磨法)を用いて除去する従来の技術では以下のような問題を生ずる。この問題点を、図73を用いて説明する。図73は、本発明者らが検討した問題点を説明する図面であり、(a)は平面図、(b)は(a)におけるb-b断面図、(c)は(a)におけるc-c断面図である。なお、図73では、問題となる配線層についてのみ示し、その他の部材については省略している。

【0007】すなわち、絶縁膜201上に配線202を形成するためには、まず、絶縁膜201上に配線形成用の絶縁膜203を堆積し、この絶縁膜203に配線溝204を形成する。絶縁膜203には通常シリコン酸化膜が用いられる。次に、配線溝204を埋め込むように絶縁膜203上に配線202を構成する金属膜(たとえば銅(Cu))を堆積し、配線溝204以外の絶縁膜203上の金属膜をCMP法により研磨して除去する。これにより配線溝204内にも金属膜が残留し、配線202が形成される。しかし、絶縁膜203であるシリコン酸化膜と配線202を構成する金属(たとえば銅)とでは、一般的に、銅の方がCMPの研磨速度が大きい。このため、配線202の表面部分に凹部205が発生する。この凹部205は、いわゆるディッシング(凹み)の一種として知られるものである。また、CMPによる研磨により絶縁膜203の表面にスクラッチ(傷)も発生する。

【0008】このような凹部205あるいはスクラッチが存在する状態でその上層に絶縁膜206を形成すると、絶縁膜206の表面にも凹部205あるいはスクラッチに起因する凹部が発生する。この凹部が存在した状

態で、絶縁膜206にプラグ207をCMP法により形成すると、絶縁膜206の表面の凹部にプラグ207を構成する導電物質208が残留することとなる。すなわち、プラグ207の形成は、絶縁膜206に開口した接続孔の内部にプラグ207を構成する金属膜を埋め込むとともに絶縁膜206上に金属膜を堆積し、この絶縁膜206上の金属膜のCMP法による除去により接続孔内にも金属膜を残留して形成するが、絶縁膜206の表面に凹部(スクラッチに起因する凹部の含む)が存在すると、この凹部内にも金属膜の残留物である導電物質208が残留する。なお、スクラッチに起因する凹部にも金属膜が残留する可能性があるが、図面では省略している。

【0009】このような導電物質208の残留は、本来意図するものではなく好ましくない。すなわち、プラグ207上に絶縁膜209を形成し、この絶縁膜209の配線溝に配線210を形成すると、本来絶縁されるべき配線210間が導電物質208の存在により、電氣的に短絡され、半導体集積回路装置のショート不良が発生することとなる。

【0010】なお、このようなショート不良は、プラグ207を用いず、いわゆるデュアルダマシン法で配線を形成する場合にも同様に発生する。

【0011】本発明の目的は、CMP法により形成された第1金属配線上の層間絶縁膜の表面平坦性を向上する技術を提供することにある。

【0012】また、本発明の他の目的は、CMP法により形成された第1金属配線上の第2金属配線のショート不良を抑制し、半導体集積回路装置の歩留まりおよび信頼性を向上することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】(1)本発明の半導体集積回路装置は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、第2絶縁膜には、自己流動性を有する流動性絶縁膜が含まれるものである。

【0016】このような半導体集積回路装置によれば、第1絶縁膜に埋め込まれた導電性部材がCMPによる研磨によりディッシング(凹み)を発生し、また、第1絶縁膜の表面がCMPによる研磨によりスクラッチ(傷)

を有するものであっても、第2絶縁膜には流動性絶縁膜が含まれるためその表面が平坦化され、前記ディッシングやスクラッチの影響は第2絶縁膜の表面には現れず、第2絶縁膜に埋め込む導電性部材のCMP法による形成が確実に行われる。すなわち、流動性絶縁膜を形成しない場合に発生するであろう第2絶縁膜の表面の凹部に、第2絶縁膜に埋め込まれる導電性部材の残留物が形成されず、前記残留物に起因する第2絶縁膜の導電性部材間のショート不良を防止することができる。この結果、半導体集積回路装置の歩留まりと信頼性を向上することができる。

【0017】また、第2絶縁膜の表面に凹部が存在する場合には、第2絶縁膜の導電性部材を形成するための被膜を過剰に研磨する必要が生じるが、本発明ではそのような第2絶縁膜の表面の凹部が形成されないため、過剰な研磨を必要としない。この結果、第2絶縁膜に埋め込まれた導電性部材のディッシングを防止して、さらに上部に形成される導電性部材の形成を上記と同様の理由により確実に形成してそのショート不良を防止することができる。

【0018】なお、第1または第2絶縁膜は、その凹部に配線が形成される配線形成用絶縁膜または配線層間絶縁膜を絶縁する配線層間絶縁膜とすることができ、凹部は、配線形成用絶縁膜に形成された配線溝または配線層間絶縁膜に形成された接続孔とすることができ、導電性部材は、配線溝に形成された配線または接続孔に形成されたプラグとすることができる。

【0019】また、流動性絶縁膜は、配線形成用絶縁膜の配線溝に形成された配線上に位置する配線層間絶縁膜にのみ含まれる構成、または、配線層間絶縁膜の接続孔に形成されたプラグ上に位置する配線形成用絶縁膜にのみ含まれる構成、あるいは、配線形成用絶縁膜の配線溝に形成された配線上に位置する配線層間絶縁膜および配線層間絶縁膜の接続孔に形成されたプラグ上に位置する配線形成用絶縁膜の双方に含まれる構成、の何れかの構成とすることができる。

【0020】また、凹部は、第1および第2絶縁膜の表面近傍に形成された配線溝および配線溝の下部に形成された接続孔からなり、導電性部材は、配線溝に形成された配線部と接続孔に形成された接続部とが一体として形成されたものとして形成されることができる。すなわち、接続孔部分と配線溝部分とが一体として形成された凹部内に、一体的に形成された配線（いわゆるデュアルダマシン法による配線）にも適用できる。

【0021】また、流動性絶縁膜が含まれる第2絶縁膜、配線層間絶縁膜または配線形成用絶縁膜は、自己流動性を有さない非流動性絶縁膜、流動性絶縁膜および非流動性絶縁膜の3層構造を有するものであってもよい。

【0022】また流動性絶縁膜としては、SOG膜を用いることができる。SOG膜としては、有機SOG膜、

無機SOG膜、およびポリシラザン系のSOG膜を例示することができるが、特に無機SOG膜が好適である。仮に流動性絶縁膜として有機SOG膜を用いれば、それが含まれる第2絶縁膜、配線層間絶縁膜または配線形成用絶縁膜にフォトリソグラフィ技術を適用して加工を施し、フォトリソグラフィのマスクとなるフォトリソレジスト膜を酸素アッシングにより除去する際に有機SOG膜の収縮が発生したり、また吸水性が強くなったりして半導体集積回路装置の信頼性に好ましくない影響を生じる。しかし、流動性絶縁膜として無機SOG膜を用いれば、そのような不具合は生じない。

【0023】また、流動性絶縁膜としては、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることができる。

【0024】SOG膜は、大気雰囲気において塗布により形成する被膜であるが、減圧雰囲気においてたとえばシランガス（ SiH_4 ）と過酸化水素（ H_2O_2 ）との化合により形成されるシラノール（ $\text{H}_n\text{Si}(\text{OH})_{4-n}$ ）を基板表面に吸着させて被膜とする、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とによりシリコン酸化膜が形成される。このようなシリコン酸化膜も流動性絶縁膜として例示できる。ここではシラノール形成の原料ガスとしてシランガスを例示しているが、水素基（ $-\text{H}$ ）がメチル基（ $-\text{CH}_3$ ）、エチル基（ $-\text{C}_2\text{H}_5$ ）等のアルキル基に置換したメチルシラン（ジメチルシラン、トリメチルシラン等）、あるいはエチルシラン（ジエチルシラン、トリエチルシラン等）であってもよい。

【0025】また、凹部、配線溝または接続孔の幅 W はその最大幅 W_{max} と最小幅 W_{min} との範囲内にあり、 $W_{\text{max}} \leq 4 \times W_{\text{min}}$ 、の条件を満足するものとするすることができる。

【0026】（2）本発明の半導体集積回路装置は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に形成された凹部にCMP法を用いて形成された導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置であって、第2絶縁膜には、CMP法により平坦化された絶縁膜が含まれているものである。

【0027】このような半導体集積回路装置によれば、

（1）に記載したと同様にCMP法により平坦化された絶縁膜により第2絶縁膜の表面が平坦化され、第2絶縁膜に埋め込まれる導電性部材の形成が確実に行われ、そのショート不良を防止することができる。また、第2絶縁膜に埋め込まれる導電性部材の過剰な研磨を防止して、さらに上部に形成される導電性部材の形成を確実にし、そのショート不良を防止することができる。この結

果、半導体集積回路装置の歩留まりと信頼性の向上を図ることができることは前記(1)と同様である。

【0028】なお、前記(1)、(2)に記載の半導体集積回路装置において、凹部または配線溝に形成された配線の上面には、配線を構成する金属元素の拡散を防止する拡散防止膜、たとえばプラズマCVD法により形成されたシリコン窒化膜が形成されてもよい。これにより、配線間の層間絶縁膜の絶縁耐圧を確保して半導体集積回路装置の信頼性を向上することができる。

【0029】(3)本発明の半導体集積回路装置の製造方法は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に第1導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に第2導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置の製造方法であって、(a)少なくとも半導体素子が形成された半導体基板上に第1絶縁膜を堆積し、その一部に凹部を形成する工程、(b)凹部の内部を含む第1絶縁膜の表面に、凹部を埋め込む導電性膜を形成する工程、(c)導電性膜をCMP法により研磨し、第1絶縁膜の凹部内のみ導電性膜を残して第1導電性部材を形成する工程、(d)第1導電性部材の上部に自己流動性を有する流動性絶縁膜を堆積する工程、(e)流動性絶縁膜を含む第2絶縁膜に凹部を形成し、その凹部を埋め込む導電性膜を形成した後、その導電性膜をCMP法により研磨し第2導電性部材を形成する工程、を含むものである。

【0030】このような半導体集積回路装置の製造方法によれば、前記(1)に記載の半導体集積回路装置を製造することができる。

【0031】なお、流動性絶縁膜がSOG膜である場合は、半導体基板上にSOG膜を塗布し、熱処理することにより形成することができる。

【0032】また、流動性絶縁膜が、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜である場合には、半導体基板を減圧雰囲気下の反応室に100℃以下の低温で保持し、反応室内に $\text{SiH}_x\text{M}_{4-x}$ （ただしMは炭素数1～3のアルキル基、 $1 \leq x \leq 4$ ）および H_2O_2 を導入してシラノールを生成し、シラノールが堆積した半導体基板を熱処理することにより形成することができる。この場合、アルキル基(-M)の炭素数が多くなるほど蒸気圧が低下する。このため、反応室の壁面温度を高め、半導体基板の温度を最も低い温度とすることができる。これにより、低温に保持した半導体基板上へのアルキルシラン($\text{SiH}_x\text{M}_{4-x}$)の吸着が促進されてシラノール生成の反応が半導体基板の表面付近で生じる確率が高くなる。この結果、原料ガスの収率を高めることが可能となる。なお、原料ガスは気相で供給することが好ましいため、アルキル基の炭素数は3以下が好ましい。

【0033】また、第1導電性部材が形成される凹部の

幅Wは、その最大幅 W_{\max} がその最小幅 W_{\min} の4倍以内($W_{\min} \leq W \leq 4 \times W_{\min}$)となるように形成することができる。

【0034】また、前記(b)工程において第1絶縁膜の凹部に埋め込まれた導電性膜は、最小幅 W_{\min} における凹部でのその標高H1と、最大幅 W_{\max} における凹部でのその標高H2とがほぼ等しく($H1 \approx H2$)、かつ、標高H1およびH2は、第1絶縁膜の表面の標高L1よりも高い($H1 \approx H2 > L1$)ものとすることができる。

【0035】このような半導体集積回路装置の製造方法によれば、(b)工程で形成される第1導電性部材は、第1絶縁膜の凹部の全領域に埋め込まれ、第1導電性部材の表面自体が研磨され、平坦化されることとなる。この点で、本発明は、前記特開平7-297183号公報に記載された技術とは相違するものである。すなわち、前記公報に記載された技術においては、配線溝の幅の広い領域では導電性膜の表面高さが配線溝表面の標高よりも低く、そのため、SOG等の被膜により導電性膜を被覆した後これらをポリッシングして配線溝に配線を形成すると、配線表面の凹部にSOG膜が残留するものである。しかし、本発明では、第1導電性部材を形成するための研磨を実施した後にSOG等の流動性絶縁膜を堆積するものであり、前記公報に記載の製造方法とは、その工程の順序において相違するとともに、前記のとおり最小幅 W_{\min} における凹部でのその標高H1と、最大幅 W_{\max} における凹部でのその標高H2とがほぼ等しく($H1 \approx H2$)、かつ、標高H1およびH2は、第1絶縁膜の表面の標高L1よりも高い($H1 \approx H2 > L1$)ものであるため、第1導電性部材（つまり前記公報における配線）の形成工程自体が相違するものである。したがって、このような相違する製造方法によって形成された半導体集積回路装置自体、第1導電性部材の表面にCMPによる凹部（ディッシング）が生じたとしてもそこにSOG膜等の流動性絶縁膜が残留しない点で前記公報記載の技術により製造された半導体装置と相違する。

【0036】また、前記(c)工程において研磨された第1導電性部材は、最小幅 W_{\min} における凹部での第1導電性部材表面のディッシング量K1と、最大幅 W_{\max} における凹部での第1導電性部材表面のディッシング量K2とがほぼ等しい($K1 \approx K2$)。このような半導体集積回路装置の製造方法は、前記H1 \approx H2の条件から帰結される条件である。

【0037】また、流動性絶縁膜の堆積前にプラズマCVD法または熱CVD法を用いたCVDシリコン酸化膜を堆積し、その後流動性絶縁膜を堆積し、さらにCVD酸化膜を堆積することにより第2絶縁膜を形成することができる。

【0038】また、第1導電性部材の形成後、第1導電

性部材の表面を覆う拡散防止膜、たとえばシリコン窒化膜を堆積することができる。

【0039】このような半導体集積回路装置の製造方法によれば、第1導電性部材を構成するたとえば銅等の金属元素の拡散を防止して半導体集積回路装置の信頼性を向上できる。

【0040】(4)本発明の半導体集積回路装置の製造方法は、半導体基板の主面に形成された半導体素子と、半導体素子の上部に形成され、その一部に第1導電性部材が埋め込まれた第1絶縁膜と、第1絶縁膜の上面に形成され、その一部に第2導電性部材が埋め込まれた第2絶縁膜とを有する半導体集積回路装置の製造方法であって、(a)少なくとも半導体素子が形成された半導体基板上に第1絶縁膜を堆積し、その一部に凹部を形成する工程、(b)凹部の内部を含む第1絶縁膜の表面に、凹部を埋め込む導電性膜を形成する工程、(c)導電性膜をCMP法により研磨し、第1絶縁膜の凹部内のみ導電性膜を残して第1導電性部材を形成する工程、(d)第1導電性部材の上部にシリコン酸化膜を堆積し、シリコン酸化膜をCMP法により研磨して平坦化する工程、(e)シリコン酸化膜を含む第2絶縁膜に凹部を形成し、その凹部を埋め込む導電性膜を形成した後、その導電性膜をCMP法により研磨し第2導電性部材を形成する工程、を含むものである。

【0041】このような半導体集積回路装置の製造方法によれば、前記(2)に記載した半導体集積回路装置を製造することができる。なお、第2絶縁膜に含まれるシリコン酸化膜はCMP法により平坦化されるため、自己流動性を有する必要はなく、プラズマCVD法、TEOS(テトラメトキシシラン)等を用いたCVD法等により形成されたものであってもよい。

【0042】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0043】(実施の形態1)図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【0044】本実施の形態1の半導体集積回路装置は、たとえば、SOI(Silicon On Insulator)絶縁層2およびU溝素子分離領域3を有する半導体基板1のpウェル4にnチャネルMISFET(Metal Insulator Semiconductor Field Effect Transistor)Qnが形成されたものである。SOI絶縁層2、U溝素子分離領域3は、たとえばシリコン酸化膜で構成される。

【0045】nチャネルMISFETQnは、半導体基板1の主面上にゲート絶縁膜6を介して形成されたゲート電極7と、ゲート電極7の両側の半導体基板1の主面に形成された不純物半導体領域8とを有するものであ

り、ゲート電極7の側面および上面にはサイドウォールスペーサ9およびキャップ絶縁膜10がそれぞれ形成されている。

【0046】ゲート絶縁膜6は、数nmの膜厚を有するシリコン酸化膜からなりたとえば熱CVD法または熱酸化法により形成することができる。

【0047】ゲート電極7は、たとえば低抵抗多結晶シリコン膜からなり、その上層にシリサイド層あるいはタングステン等の金属層を形成して低抵抗化を図ってもよい。

【0048】不純物半導体領域8は、nチャネルMISFETQnのソース・ドレイン領域として機能するものであり、たとえばリン(P)またはヒ素(As)等のn形不純物が高濃度に導入されている。

【0049】ゲート電極7および不純物半導体領域8の上部には、 WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などの高融点金属シリサイド膜を積層したシリサイド膜を形成してもよい。

【0050】サイドウォールスペーサ9およびキャップ絶縁膜10は、たとえばシリコン酸化膜あるいはシリコン窒化膜とすることができ、シリコン窒化膜を用いる場合には、そのシリコン窒化膜からなるサイドウォールスペーサ9およびキャップ絶縁膜10をマスクとして用い、後に説明する層間絶縁膜に自己整合的に接続孔を開くことができる。

【0051】半導体基板1およびnチャネルMISFETQnの上部には層間絶縁膜11aが形成されている。層間絶縁膜11aとして、BPSG(Boron-doped Phospho-Silicate Glass)膜またはPSG(Phospho-Silicate Glass)膜等のリフロー膜を用いることができるが、層間絶縁膜11aの下部もしくは上部にCVD法またはスパッタ法により形成されたシリコン酸化膜との積層膜とすることもできる。層間絶縁膜11aは、堆積された後、たとえばCMP法により研磨され、その表面が平坦化されている。

【0052】不純物半導体領域8上の層間絶縁膜11aには接続孔12が設けられ、接続孔12には、たとえばスパッタ法により形成されたタングステン膜13a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステンからなる金属プラグ13bが形成されている。

【0053】層間絶縁膜11aの上層には、層間絶縁膜11b(第1層間絶縁膜)が形成され、配線14が層間絶縁膜11bに形成された配線溝15内に形成されている。

【0054】層間絶縁膜11bは、たとえばCVD法またはスパッタ法で形成されたシリコン酸化膜で構成される。なお、層間絶縁膜11bの表面にはスクラッチ11c(傷)が形成されている。これは、後に説明するように、配線14の形成の際に行われるCMP法による研磨

において、確実に層間絶縁膜11bの表面の金属膜が除去されるようにある程度のオーバー研磨を行うために形成されるものであり、CMPの研磨剤による引っかかり傷である。

【0055】配線14は、主導電層14aと窒化チタン膜14bとからなる。主導電層14aは、たとえば銅で構成されるが、これに限られず、アルミニウムまたはタングステンあるいはこれらの合金であってもよい。これら低抵抗率の低い材料を主導電層とすることにより配線14の微細化に伴う配線抵抗の上昇を抑制することができる。これにより半導体集積回路装置の高性能化を達成することができる。窒化チタン膜14bは、主導電層14aを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、たとえば、タンタル膜、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0056】配線14の上面にはディッシング14c（凹み）が形成されている。これは、配線14の形成が後に説明するようにCMP法による研磨により形成され、配線14を構成する金属材料と層間絶縁膜11bを構成するシリコン酸化膜とのCMPによる研磨速度に相違により発生するものである。すなわち、金属の方がシリコン酸化膜と比較してCMPの研磨速度が大きく、配線14を確実に形成するためにある程度のオーバー研磨を行った場合には、シリコン酸化膜と比較して金属が速く研磨され、相対的に凹んだ表面を形成することとなる。

【0057】配線14および層間絶縁膜11bの上面には層間絶縁膜16が形成されている。層間絶縁膜16は、配線14および層間絶縁膜11bに接して形成されたブロッキング層16a、平坦化層16bおよび絶縁膜16cから構成される。

【0058】ブロッキング層16aは、たとえばプラズマCVD法により形成されたシリコン窒化膜とすることができ、配線14の主導電層14aを構成する銅の拡散を抑制する機能を有する。これにより窒化チタン膜14bの効果とともに層間絶縁膜11a、11b、16への銅の拡散を防止してそれらの絶縁性を保持し、半導体集積回路装置の信頼性を高めることができる。なお、ブロッキング層16aの膜厚は、シリコン窒化膜を用いた場合には約100nmとすることができる。

【0059】平坦化層16bは、自己流動性を有する被膜たとえばSOG（Spin On Glass）膜からなり、スクラッチ11cおよびディッシング14cの影響を除去してその表面を平坦化することができる。このように平坦化層16bを有することにより層間絶縁膜16の表面の平坦性を確保することができ、後に説明するように層間絶縁膜16に埋め込む第2層配線の形成の際に金属膜の残留物の形成を防止して第2層配線のショート不良を防

止し、半導体集積回路装置の歩留まりと信頼性を向上させることができる。

【0060】絶縁膜16cは、たとえばCVD法により形成されたシリコン酸化膜とすることができ、層間絶縁膜16の膜厚を確保する機能を有する。したがって、平坦化層16bにより層間絶縁膜16の十分な膜厚が確保できる場合には必須ではない。

【0061】層間絶縁膜16には配線溝17が形成され、配線溝17内には第2金属配線である配線18が形成されている。なお、配線溝17の一部は、その下部に形成されている配線14に接続するための接続孔も含まれる。すなわち、配線溝と接続孔とを形成し、その配線溝および接続孔内を含む基板に金属膜を堆積して、たとえばCMP法により配線溝以外の領域の金属膜を除去して接続配線および配線を一体的に形成するいわゆるデュアルダマシン法で形成されている。

【0062】配線18は配線14と同様に、主導電層18aと窒化チタン膜18bとからなる。主導電層18aは、たとえば銅を例示することができるが、アルミニウム、タングステンまたはそれらの合金であってもよい。これら低抵抗率の低い材料を主導電層とすることにより配線18の微細化に伴う配線抵抗の上昇を抑制することができる。これにより半導体集積回路装置の高性能化を達成することができる。窒化チタン膜18bは、主導電層18aを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、たとえば、タンタル膜、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0063】なお、配線18は後に説明するようにCMP法を用いた研磨により層間絶縁膜16上に形成された金属膜を除去して形成されるが、層間絶縁膜16の表面の平坦性は前記したとおり確保されているため、その表面には配線溝17以外の凹部は存在せず、よって配線18以外の金属膜の残留物が形成されない。このため、金属残留物に起因する配線18のショート不良は発生せず、半導体集積回路装置の歩留まりと信頼性の向上を図ることができる。また、層間絶縁膜16の表面が十分に平坦であるため、配線18を形成するためのCMPによる研磨において、過剰なオーバー研磨は必要でない。この結果、配線18のディッシングを抑制してさらに多層な配線（第3金属配線等）を形成した場合の上層配線のショート不良を防止し、半導体集積回路装置の歩留まりと信頼性を向上できる。

【0064】配線18上に層間絶縁膜16および配線18同様の層間絶縁膜および配線を形成してさらに多層に構成してもよい。この場合、平坦化層16bと同様の平坦化層を設けて上層配線の加工を確実に行うことができることは配線18の場合と同様である。

【0065】次に、上記した半導体集積回路装置の製造

方法を図に従って説明する。図2～図15は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0066】まず、高濃度酸素注入法等により形成されたSOI絶縁層2を有するp⁻形の単結晶シリコンからなる半導体基板1を用意し、p形の導電形にするための不純物、たとえばボロンをイオン注入等によりドーピングしてpウェル4を形成する。pウェル4は、高濃度酸素注入法におけるエピタキシャル成長時に不純物ガスを混入し、ドーピングを行ってもよい。

【0067】次に、半導体基板1の主面に、SOI絶縁層2に達するU溝を形成し、その後たとえばシリコン酸化膜を堆積した後CMP法等を用いて余分なシリコン酸化膜を除去して、前記U溝にシリコン酸化膜を埋め込み、U溝素子分離領域3を形成する(図2)。

【0068】次に、半導体基板1の主面上にゲート絶縁膜6となるシリコン酸化膜、ゲート電極7となる多結晶シリコン膜およびキャップ絶縁膜10となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたレジストをマスクとして前記積層膜をエッチングし、ゲート絶縁膜6、ゲート電極7およびキャップ絶縁膜10を形成する(図3)。ゲート絶縁膜6はたとえば熱CVD法により堆積することができ、ゲート電極7はCVD法により形成することができるが、その抵抗値を低減するためにn形の不純物(例えばP)をドーピングしてもよい。なお、ゲート電極7の上部にWSi_x、MoSi_x、TiSi_x、TaSi_xなどの高融点金属シリサイド膜を積層してもよい。キャップ絶縁膜10はたとえばCVD法により堆積することができる。

【0069】次に、半導体基板1上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極7の側壁にサイドウォールスペーサ9を形成し、n形不純物(リン)をイオン注入してゲート電極7の両側のpウェル4にnチャネルMISFETQnのソース、ドレイン領域を構成する不純物半導体領域8を形成する(図4)。なお、サイドウォールスペーサ9の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ9の形成後に高濃度の不純物半導体領域を形成してもよい。

【0070】次に、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積した後、たとえば酸化シリコン膜をCMP法で研磨することにより、その表面が平坦化された層間絶縁膜11aを形成する。さらに、半導体基板1の主面の不純物半導体領域8上の層間絶縁膜11aに、公知のフォトリソグラフィ技術を用いて接続孔12を開口する(図5)。

【0071】次に、スパッタ法によりタングステン膜13aを堆積し、さらにブランケットCVD法によりタン

グステン膜13cを堆積する(図6)。

【0072】次に、接続孔12以外の層間絶縁膜11a上のタングステン膜13cおよびタングステン膜13aをたとえばエッチバック法により除去し、金属プラグ13bを形成する(図7)。

【0073】次に、スパッタ法またはCVD法で酸化シリコン膜を堆積して層間絶縁膜11bを形成し、さらに公知のフォトリソグラフィ技術およびエッチング技術を用いて加工し、配線溝15を形成する(図8)。なお、ここでは、スパッタ法またはCVD法で形成されたシリコン酸化膜を例示しているが、SOG等の塗布膜、有機膜、フッ素を添加したCVDシリコン酸化膜、シリコン窒化膜、その他複数種の絶縁膜を積層した多層膜であってもよい。また、配線溝15は後に配線材料を埋め込んで配線14としたい領域に形成される。なお、本実施の形態1では、金属プラグ13を形成した後に配線溝15を形成しているが、接続孔12を開口した後に配線溝15を形成し、その後金属プラグ13を形成してもよい。

【0074】次に、半導体基板1の全面に配線14の窒化チタン膜14bとなる窒化チタン膜14bを堆積する(図9)。窒化チタン膜14bは、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化チタン膜14bの堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、本実施の形態1では窒化チタン膜を例示するが、タンタル等の金属膜あるいは窒化タンタル膜等であってもよい。また、次工程である主導電層14aの堆積直前に窒化チタン膜14bの表面をスパッタエッチすることも可能である。このようなスパッタエッチにより、窒化チタン膜14bの表面に吸着した水、酸素分子等を除去し、主導電層14aの接着性を改善することができる。特に、窒化チタン膜14bの堆積後、真空破壊して表面を大気に曝し、その主導電層14aを堆積する場合に効果が大きい。

【0075】次に主導電層14aとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝15に良好に埋め込まれた金属膜19を形成する(図10)。銅膜の堆積は、通常スパッタ法を用いることができるが、蒸着法等の物理的气相成長法を用いてもよい。また、熱処理の条件は、金属膜19を構成する銅が流動化する温度および時間を必要とし、たとえば、350℃～400℃、3分～5分を例示することができる。

【0076】次に、層間絶縁膜11b上の余分な窒化チタン膜14bおよび金属膜19を除去し、配線14を構成する主導電層14aおよび窒化チタン膜14bを形成する(図11)。窒化チタン膜14bおよび金属膜19の除去は、CMP法を用いた研磨により行う。配線14の形成にCMP法を用いるため、配線14の表面は層間絶縁膜11bの表面に比較して凹んだ状態であるディッシング14cが形成され、また、層間絶縁膜11bの表

面には、CMPの研磨剤等による引っかかり傷であるスクラッチ11cが形成される。

【0077】次に、配線14および層間絶縁膜11b上にシリコン窒化膜を堆積してブロッキング層16aを形成する(図12)。シリコン窒化膜の堆積には、たとえばプラズマCVD法を用いることができる。膜厚は約100nmとする。

【0078】次に、自己流動性を有した被膜であるSOG膜を塗布し、さらに400℃程度の熱処理を行ってキュアし、その表面が平坦化された平坦化層16bを形成する(図13)。SOG膜として、有機あるいは無機のSOG膜を用いることができる。また、ポリシラザン系のSOG膜を用いることも可能である。ポリシラザン系のSOG膜の場合には、耐熱性を有し、半導体集積回路装置の信頼性を向上することができる。

【0079】次に、絶縁膜16cを堆積して層間絶縁膜16を完成する。絶縁膜16cは、たとえばCVD法によるシリコン酸化膜とすることができる。絶縁膜16cの表面すなわち層間絶縁膜16の表面は、平坦化層16bの存在により平坦性が確保されている。その後、配線溝17を形成する(図14)。配線溝17には下層配線である配線14と接続するための接続孔も含まれている。

【0080】次に、配線14の場合と同様に、配線18の一部となる窒化チタン膜18bを堆積し、さらに主導電層18aとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝17に良好に埋め込まれた金属膜20を形成する(図15)。窒化チタン膜18bおよび金属膜20については、前記した窒化チタン膜14bおよび金属膜19と同様であるため説明を省略する。

【0081】最後に、層間絶縁膜16上の金属膜20および窒化チタン膜18bを除去して配線18を形成し、図1に示す半導体集積回路装置がほぼ完成する。この金属膜20および窒化チタン膜18bの除去にはCMP法が使用される。本実施の形態では、層間絶縁膜16の表面の平坦性が確保されているため、配線18の形成のためにCMPを行っても、層間絶縁膜16の表面には意図しない凹部が存在しないため、意図しない金属膜20あるいは窒化チタン膜18bの残留物が生じることがない。このため、このような残留物に起因する配線18のショート不良の発生が防止され、半導体集積回路装置の歩留まりと信頼性の向上を図ることができる。

【0082】また、層間絶縁膜16の表面の平坦性が確保されているため、過剰なCMPのオーバー研磨を行わなくとも配線18の形成を確実に行うことができ、過剰研磨を防止することができる。このため、配線18表面のディッシングを抑制してその上層に形成される配線のショート不良を防止し、半導体集積回路装置の歩留まりと信頼性を向上できる。

【0083】なお、本実施の形態1では、平坦化層16bとして、SOG膜を例示したが、気相中におけるシラノール($\text{H}_n\text{Si}(\text{OH})_{4-n}$)の生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることもできる。このようなシリコン酸化膜は、減圧雰囲気においてたとえばシランガス(SiH_4)と過酸化水素(H_2O_2)との化合によりシラノールを形成し、これを基板表面に吸着、反応させて被膜とした後、450℃以下の熱処理を行ってキュアすることにより形成することができる。このようなシラノールの吸着、反応により堆積した被膜は自己流動性を有するものであり、前記したSOG膜と同様に、層間絶縁膜16の表面の平坦性を確保することができる。

【0084】なお、シラノール形成の原料ガスとして、シランガス以外に、水素基(-H)がメチル基(-CH₃)、エチル基(-C₂H₅)等のアルキル基に置換したメチルシラン(ジメチルシラン、トリメチルシラン等)、あるいはエチルシラン(ジエチルシラン、トリエチルシラン等)等のアルキルシラン($\text{SiH}_x\text{M}_{4-x}$) (ただしMは炭素数1~3のアルキル基、 $1 \leq x \leq 4$)を例示できる。アルキル基の炭素数を3以下とするのは、低温に保持した半導体基板上へのアルキルシラン($\text{SiH}_x\text{M}_{4-x}$)の吸着が増大することによるシラノール生成反応の促進と原料ガスを気相で供給することの利便性とを考慮するためである。

【0085】(実施の形態2)図16は、本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0086】本実施の形態2の半導体集積回路装置は、実施の形態1における半導体集積回路装置の層間絶縁膜16を層間絶縁膜21に置き換えたものであり、その他の部材は実施の形態1と同様である。したがってそれら同様の部材についての説明は省略する。

【0087】層間絶縁膜21は、実施の形態1におけるブロッキング層16aと同様なブロッキング層21aおよびCVD法により堆積されCMP法により平坦化されたシリコン酸化膜21bとからなる。ブロッキング層21aは、実施の形態1のブロッキング層16aと同様に約100nmの膜厚を有するシリコン窒化膜からなる。シリコン酸化膜21bはそれ自体十分な膜厚を有するものであるため実施の形態1の層間絶縁膜16のように絶縁膜16cは形成されていない。しかし、シリコン酸化膜21bの膜厚を薄くし、実施の形態1と同様に絶縁膜16cに相当する絶縁膜を形成して十分な膜厚の層間絶縁膜21を形成してもよい。

【0088】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図17~図20は、本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0089】本実施の形態2の半導体集積回路装置の製

造方法は、実施の形態1における図11の工程までは同様である。

【0090】その後、実施の形態1のブロッキング層16aと同様にシリコン窒化膜を堆積し、ブロッキング層21aを形成する。さらに十分な膜厚を有したシリコン酸化膜22をたとえばCVD法により形成する(図17)。ここで、CVD法により形成されたシリコン酸化膜22は、自己流動性を有する膜ではないためその表面にはディッシング14cおよびスクラッチ11cに起因する凹部23が形成されている。

【0091】次に、シリコン酸化膜22をCMP法により研磨する(図18)。これにより、シリコン酸化膜22の表面に形成された凹部23を消失させてシリコン酸化膜21bを形成し、その表面が平坦な層間絶縁膜21を形成する。また、本実施の形態2の製造方法では、CMP法を用いるため、凹部23を消失させることができることに加えて、半導体基板1の全体での平坦性を向上することができる。

【0092】次に、実施の形態1と同様に、層間絶縁膜21に配線溝17を形成し(図19)、実施の形態1と同様に窒化チタン膜18bおよび主導電層18aとなる金属膜20を形成する(図20)。

【0093】最後に、層間絶縁膜21上の金属膜20および窒化チタン膜18bを除去して配線18を形成し、図16に示す半導体集積回路装置がほぼ完成する。この金属膜20および窒化チタン膜18bの除去には、実施の形態1と同様にCMP法が使用される。本実施の形態では、層間絶縁膜21の表面の平坦性が確保されているため、配線18の形成のためにCMPを行っても、層間絶縁膜21の表面に意図しない金属膜20あるいは窒化チタン膜18bの残留物が生じることがない。このため、このような残留物に起因する配線18のショート不良の発生が防止され、半導体集積回路装置の歩留まりと信頼性の向上を図ることができる。

【0094】また、層間絶縁膜21の表面の平坦性が確保されているため、過剰なCMPのオーバー研磨を行わなくとも配線18の形成を確実に行うことができ、過剰研磨を防止することができる。このため、配線18表面のディッシングを抑制してその上層に形成される配線のショート不良を防止し、半導体集積回路装置の歩留まりと信頼性を向上できる。

【0095】(実施の形態3)図21は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0096】本実施の形態3の半導体集積回路装置は、半導体基板101上に形成されたnチャネルMISFETQnおよびpチャネルMISFETQpを有する。半導体素子であるnチャネルMISFETQnおよびpチャネルMISFETQpは、CMISFET(Complementary-MISFET)を構成して半導体集積回路を構成するこ

とができ、半導体集積回路には、図示はしないが、抵抗、コンデンサ等の受動素子を含めることができる。なお、本実施の形態ではCMISFETを例示するが、nチャネルMISFETQnまたはpチャネルMISFETQpの単一チャネルのMISFETで半導体集積回路を構成してもよい。さらに、本実施の形態ではMISFETを例示するが、バイポーラトランジスタまたはBi-CMISFET等他のトランジスタ構造の半導体素子を用いて半導体集積回路を構成してもよい。

10 【0097】半導体基板101には、その主面近傍に素子分離領域102が形成され、素子分離領域102で囲まれた活性領域には、p型の不純物(たとえばボロン(B))が低濃度に導入されたp型ウェル103およびn型の不純物(たとえばリン(P)、ヒ素(As))が低濃度に導入されたn型ウェル104が形成されている。nチャネルMISFETQnはp型ウェル103の活性領域主面に、pチャネルMISFETQpは、n型ウェル104の活性領域主面に形成されている。素子分離領域102は、半導体基板101の主面の浅溝内に形成され、たとえばシリコン酸化膜からなる。なお、半導体基板101を実施の形態1に説明したようなSOI基板としてもよいことは言うまでもない。

【0098】nチャネルMISFETQnは、p型ウェル103の主面上にゲート絶縁膜105を介して形成されたゲート電極106と、ゲート電極106の両側の半導体基板101の主面に形成されたn型の半導体領域107とを有するものである。また、pチャネルMISFETQpは、n型ウェル104の主面上にゲート絶縁膜105を介して形成されたゲート電極106と、ゲート電極106の両側の半導体基板101の主面に形成されたp型の半導体領域108とを有するものである。

30 【0099】ゲート絶縁膜105は、数nmの膜厚を有するシリコン酸化膜からなりたとえば熱酸化法または熱CVD法により形成することができる。ゲート電極106は、たとえば低抵抗多結晶シリコン膜からなり、その上層に、タングステン(W)、コバルト(Co)等のシリサイド層、あるいは窒化チタン(TiN)、窒化タングステン(WN)等のバリアメタルを介したタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成して低抵抗化を図ってもよい。

【0100】半導体領域107、108は、nチャネルMISFETQn、pチャネルMISFETQpのソース・ドレイン領域として機能するものである。半導体領域107にはn型不純物(たとえばリンまたはヒ素)が導入され、半導体領域108にはp型不純物(たとえばボロン)が導入されている。半導体領域107、108は、不純物が低濃度に導入された低濃度半導体領域と、不純物が高濃度に導入された高濃度半導体領域とからなるいわゆるLDD(Lightly Doped Drain)構造として

もよい。また、半導体領域107、108の上部に、 WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などの高融点金属シリサイド膜を積層したシリサイド膜を形成してもよい。

【0101】ゲート電極106の側面および上面にはサイドウォールスペーサ109およびキャップ絶縁膜110がそれぞれ形成されている。サイドウォールスペーサ109およびキャップ絶縁膜110は、たとえばシリコン酸化膜あるいはシリコン窒化膜とすることができ、シリコン窒化膜を用いる場合には、そのシリコン窒化膜からなるサイドウォールスペーサ109およびキャップ絶縁膜110をマスクとして用い、後に説明する層間絶縁膜に自己整合的に接続孔を開くことができる。

【0102】半導体基板101、nチャネルMISFETQnおよびpチャネルMISFETQpの上部には層間絶縁膜111が形成されている。層間絶縁膜111として、BPSG膜またはPSG膜等のリフロー膜を用いることができるが、層間絶縁膜111の下部もしくは上部にCVD法またはスパッタ法により形成されたシリコン酸化膜との積層膜とすることもできる。層間絶縁膜111は、たとえばCMP法によりその表面が平坦化されている。

【0103】半導体領域107、108上の層間絶縁膜111には、接続孔112が設けられ、接続孔112には、たとえばスパッタ法により形成されたタングステン膜113a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステン膜113bからなるプラグ113が形成されている。

【0104】層間絶縁膜111の上層には、第1層配線M1が形成されている。第1層配線M1には、たとえばフォトリソグラフィ技術でパターンニングされたタングステン膜を用いることができる。第1層配線M1は、プラグ113を介して半導体領域107、108に電気的に接続される。なお、第1層配線M1にタングステン材料を用いるため、第1層配線M1を構成する元素の半導体基板への拡散の問題がなく、高い信頼性の半導体集積回路装置を構成できる。

【0105】第1層配線M1および層間絶縁膜111の上層には、第1層配線M1と後に説明する第2層配線M2との層間を絶縁する配線層間絶縁膜114が形成されている。配線層間絶縁膜114は、たとえばCVD法で形成されたシリコン酸化膜をCMP法により研磨することにより、その表面が平坦化されて構成される。配線層間絶縁膜114には、接続孔115が形成され、接続孔115には、たとえばスパッタ法により形成されたタングステン膜116a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステン膜116bからなるプラグ116が形成されている。なお、タングステン膜116bに代えて、スパッタ法またはCVD法で形成された窒化チタン膜を用いることが

できる。

【0106】配線層間絶縁膜114上には、第2層配線M2を形成するための配線形成用絶縁膜117が形成されている。配線形成用絶縁膜117は、たとえばCVD法で形成されたシリコン酸化膜とすることができる。なお、配線形成用絶縁膜117表面にはスクラッチによる傷が形成されるが、図示は省略している。これは、後に説明するように、第2層配線M2の形成の際に行われるCMP法による研磨において、確実に配線形成用絶縁膜117の表面の金属膜が除去されるようにある程度のオーバー研磨を行うために形成されるものであり、CMPの研磨剤による引っかかり傷である。

【0107】配線形成用絶縁膜117には、配線溝118が形成され、配線溝118には、第2層配線M2が形成されている。第2層配線M2は、たとえば窒化チタン(TiN)からなるバリア層119aと、たとえば銅(Cu)からなる主導電層119bとからなる。このように主導電層119bを抵抗率の小さな銅等の材料を用いるため、第2層配線M2の抵抗値を低減でき、半導体素子間の配線抵抗を低減して回路の遅延時間を短縮し、半導体集積回路装置の応答速度を向上して半導体集積回路装置の性能を向上できる。

【0108】なお、バリア層119aとしては、窒化チタンに代えてタンタル(Ta)、窒化タングステン(WN)、窒化タンタル(TaN)、酸化タンタル(TaO)、酸窒化シリコン(SiON)を用いることができる。また、主導電層119bには、銅に代えてアルミニウム(Al)、タングステン(W)を用いることができる。バリア層119aは、主導電層119bを構成する金属元素の拡散を防止して、配線間の絶縁性を確保し、半導体集積回路装置の性能および信頼性を高く保つ機能を持つ。

【0109】また、第2層配線M2は、後に説明するように、CMP法を用いて形成されるものであるが、配線形成用絶縁膜117を構成する材料(たとえばシリコン酸化膜)と第2層配線M2を構成する材料(たとえば銅および窒化チタン)とのCMP法による研磨速度の相違に起因して、その表面に窪んだ形状の凹部(ディッシング部)120が形成されている。すなわち、第2層配線M2を確実に形成するためにある程度のオーバー研磨を行った場合には、シリコン酸化膜と比較して銅等が速く研磨され、相対的に凹んだ表面を形成することとなる。このような凹部120の存在と、これに起因する問題点は、前記したとおりである。

【0110】配線形成用絶縁膜117および第2層配線M2の表面には、配線層間絶縁膜121が形成されている。配線層間絶縁膜121は、第2層配線M2および配線形成用絶縁膜117に接して形成されたブロッキング層121a、平坦化層121bおよび絶縁膜121cから構成される。

【0111】ブロッキング層121aは、たとえばプラズマCVD法により形成されたシリコン窒化膜とすることができ、第2層配線M2の主導電層119bを構成する銅の拡散を抑制する機能を有する。これにより窒化チタンからなるバリア層119aの効果とともに銅の拡散を防止して配線層間絶縁膜114、配線形成用絶縁膜117、配線層間絶縁膜121等の絶縁性を保持し、半導体集積回路装置の信頼性を高めることができる。なお、ブロッキング層121aの膜厚は、シリコン窒化膜を用いた場合には約100nmとすることができる。また、

ブロッキング層121aとしては、シリコン窒化膜に代えて、シリコン酸窒化膜を用いることもできる。
【0112】平坦化層121bは、自己流動性を有する被膜たとえばSOG膜からなり、凹部120の影響を除去してその表面を平坦化することができる。このように平坦化層121bを有することにより配線層間絶縁膜121の表面の平坦性を確保することができ、後に説明するように配線層間絶縁膜121に埋め込むプラグあるいは上層配線の形成の際に金属膜の残留物の形成を防止して上層配線間のショート不良を防止し、半導体集積回路装置の所定の性能を確保し、歩留まりと信頼性を向上することができる。

【0113】なお、平坦化層121bは、無機SOG膜とすることができる。これにより、後に説明する平坦化層121bへの接続孔の開口行程におけるフォトリソ膜の剥離の際に、平坦化層121bへの吸水性の付与あるいは平坦化層121bの体積減少が発生せず、半導体集積回路装置の信頼性を向上できる。一方、平坦化層121bは、有機SOG膜とすることもできる。これにより、接続孔開口工程における前記不具合はあるものの、有機SOG膜の低誘電率を利用して、配線間の線間容量を低減し、半導体集積回路装置の高速化を図ってその性能を向上できる。

【0114】絶縁膜121cは、たとえばCVD法により形成されたシリコン酸化膜とすることができ、配線層間絶縁膜121の膜厚を確保する機能を有する。したがって、平坦化層121bにより配線層間絶縁膜121の十分な膜厚が確保できる場合には必須ではない。

【0115】なお、配線層間絶縁膜121には、ブロッキング層121aと平坦化層121bとの間に、さらにCVD法により形成されたシリコン酸化膜を形成することもできる。

【0116】配線層間絶縁膜121には、接続孔122が形成され、接続孔122には、前記したプラグ116と同様のプラグ123が形成されている。また、配線層間絶縁膜121およびプラグ123上には、前記した配線形成用絶縁膜117および第2層配線M2と同様の配線形成用絶縁膜124および第3層配線M3が形成されている。プラグ123、配線形成用絶縁膜124および第3層配線M3については、前記したプラグ116、配

線形成用絶縁膜117および第2層配線M2と同様であるため詳細な説明を省略する。すなわち、第3層配線M3は、第2層配線M2と同様にバリア層と銅からなる主導電層とで構成される。

【0117】また、第3層配線M3の表面には、第2層配線M2と同様な凹部125が形成されるが、配線層間絶縁膜126を構成する平坦化層126bが存在するため、配線層間絶縁膜126の表面は、凹部125に起因する凹凸が解消され、上層に形成されるプラグあるいは上層配線の形成の際に金属膜の残留物の形成を防止して上層配線間のショート不良を防止し、半導体集積回路装置の所定の性能を確保し、歩留まりと信頼性を向上することができる。平坦化層126bは、前記した平坦化層121bと同様に自己流動性を有する被膜たとえばSOG膜からなる。また、配線層間絶縁膜126を構成するその他の層、つまりブロッキング層126aおよび絶縁膜126cについても、前記したブロッキング層121aおよび絶縁膜121cと同様である。よって、これらの詳細な説明は省略する。なお、ブロッキング層126aと平坦化層126bとの間に、さらにCVD法により形成されたシリコン酸化膜を形成できることは、配線層間絶縁膜121の場合と同様である。

【0118】配線層間絶縁膜126には、接続孔127が形成され、接続孔127には、前記したプラグ116と同様のプラグ128が形成されている。また、配線層間絶縁膜126およびプラグ128上には、前記した配線形成用絶縁膜117および第2層配線M2と同様の配線形成用絶縁膜129および第4層配線M4が形成されている。すなわち、第4層配線M4は、第2層配線M2と同様にバリア層と銅からなる主導電層とで構成される。ただし、配線形成用絶縁膜129の膜厚および第4層配線M4の膜厚および幅は、配線形成用絶縁膜117および第2層配線M2のそれよりも大きくなっている。

【0119】また、第4層配線M4の表面には、第2層配線M2と同様な凹部130が形成されるが、配線層間絶縁膜131を構成する平坦化層131bが存在するため、配線層間絶縁膜131の表面は、凹部130に起因する凹凸が解消され、上層に形成されるプラグあるいは上層配線の形成の際に金属膜の残留物の形成を防止して上層配線間のショート不良を防止できる。これにより、半導体集積回路装置の所定の性能を確保し、歩留まりと信頼性を向上することができる。平坦化層131bは、前記した平坦化層121bと同様に自己流動性を有する被膜たとえばSOG膜からなる。また、配線層間絶縁膜131を構成するその他の層、つまりブロッキング層131aおよび絶縁膜131cについても、前記したブロッキング層121aおよび絶縁膜121cと同様である。よって、これらの詳細な説明は省略する。なお、配線層間絶縁膜131の膜厚は、配線層間絶縁膜121よりも厚くなっている。また、ブロッキング層131aと

平坦化層 131b との間に、さらに CVD 法により形成されたシリコン酸化膜を形成できることは、配線層間絶縁膜 121 の場合と同様である。

【0120】配線層間絶縁膜 131 には、接続孔 132 が形成され、接続孔 132 には、前記したプラグ 116 と同様にタングステンからなるプラグ 133 が形成されている。ただし、プラグ 133 の径および高さは、配線層間絶縁膜 131 の膜厚が厚くなっているため、プラグ 116 のそれよりも大きくなっている。

【0121】また、配線層間絶縁膜 131 およびプラグ 133 上には、第 5 層配線 M5 が形成されている。第 5 層配線 M5 は、たとえばアルミニウムまたはアルミニウム合金からなり、フォトリソグラフィ技術およびエッチング技術を用いて形成される。

【0122】このようにアルミニウムまたはアルミニウム合金からなる第 5 層配線層 M5 と、銅からなる主導電層で構成される第 4 層配線 M4 とを、タングステンからなるバリア層を介して電気的に接続によりアルミニウムと銅とが反応して抵抗が増大することを防止できる。

【0123】第 5 層配線 M5 は絶縁膜 134 で覆われている。絶縁膜 134 は、たとえば CVD 法で形成されたシリコン酸化膜あるいはシリコン窒化膜もしくはそれらの積層膜とすることができる。絶縁膜 134 には、さらに PIQ 等の保護膜を含めることができる。

【0124】絶縁膜 134 の一部には開口が形成され、この開口部に形成されたパンプ下地金属 (BLM) 135 を介してパンプ 136 と第 5 層配線 M5 とが電気的に接続されている。パンプ下地金属 135 は、たとえばニッケルと金との積層膜とすることができる。また、パンプ 136 は、金または半田とすることができる。なお、第 5 層配線 M5 の材料としては、銅を用いることもできるが、アルミニウムを用いることにより、パンプ下地金属 135 およびパンプ 136 との整合性をよくすることができる。

【0125】また、パンプ 136 ではなく、第 5 層配線 M5 でワイヤボンディング用のボンディングパッドを形成する場合、銅よりも酸化されにくいアルミニウム合金でボンディングパッドを形成することにより、信頼性を向上することができる。また、第 5 層配線 M5 のような上層の配線層では、配線間のピッチ等の配線ルールが第 2 ～第 4 層配線 M2 ～M4 よりゆるくとれるので、銅よりも酸化等の問題の少ないアルミニウム膜で上層の配線を構成することで、信頼性を向上することができる。一方、第 2 ～第 4 層配線 M2 ～M4 においては、その配線幅、配線ピッチを小さくして、高密度に配線を設けることができるとともに、アルミニウムより比抵抗の小さな銅を主導電膜として用いることにより、配線抵抗を小さくして、回路の動作速度を向上することができる。

【0126】なお、第 1 層配線 M1 ないし第 5 層配線 M5 の膜厚および幅、プラグ 116、123、128、1

33 の径および高さを例示すれば以下の通りである。たとえば、第 1 層配線 M1 の膜厚は 0.2 ～ 0.3 μm 、最小幅は 0.4 μm とすることができ、第 2 層配線 M2 および第 3 層配線 M3 の膜厚は 0.5 μm 、その最小幅は 0.5 μm 、第 4 層配線 M4 の膜厚は 1 μm 、その最小幅は 1 μm とすることができる。また、たとえば、プラグ 116、123、128 の径は 0.5 μm 、その高さは 1 μm とすることができ、プラグ 133 の径は 1 μm 、その高さは 2 μm とすることができる。

【0127】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図 22 ～図 54 は、本実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0128】まず、たとえば、 p^- 形の単結晶シリコンからなる半導体基板 101 を用意し、素子分離領域 102 が形成される領域の開口を有するフォトレジスト膜をパターンニングし、半導体基板 101 に浅溝を形成する。次に、フォトレジスト膜を除去し、前記浅溝を埋め込むシリコン酸化膜を半導体基板 101 の全面に堆積して、このシリコン酸化膜を CMP 法により研磨する。これにより浅溝以外の領域の半導体基板 101 上の前記シリコン酸化膜を除去して浅溝内に素子分離領域 102 を形成する。

【0129】次に、 p 型ウエル 103 が形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして、 p 形の導電形にするための不純物、たとえばボロンをイオン注入する。前記フォトレジスト膜を除去した後、 n 型ウエル 104 が形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして、 n 形の導電形にするための不純物、たとえばリンをイオン注入する。さらに、前記フォトレジスト膜を除去した後、半導体基板 101 に熱処理を施して前記不純物を活性化し、 p 型ウエル 103 および n 型ウエル 104 を形成する (図 22)。

【0130】次に、半導体基板 101 の主面上にゲート絶縁膜 105 となるシリコン酸化膜、ゲート電極 106 となる多結晶シリコン膜およびキャップ絶縁膜 110 となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたフォトレジスト膜をマスクとして前記積層膜をエッチングし、ゲート絶縁膜 105、ゲート電極 106 およびキャップ絶縁膜 110 を形成する (図 23)。ゲート絶縁膜 105 はたとえば熱 CVD 法により堆積することができ、ゲート電極 106 は CVD 法により形成することができるが、その抵抗値を低減するために n 形の不純物 (例えば P) をドーピングしてもよい。なお、ゲート電極 106 の上部に WSi_x 、 MoSi_x 、 TiSi_x 、 TaSi_x などの高融点金属シリサイド膜を積層してもよく、窒化チタン (TiN)、窒化タングステン (WN) 等のバリア層を

介してタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成してもよい。キャップ絶縁膜110はたとえばCVD法により堆積することができる。

【0131】次に、nチャネルMISFETQ_nが形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜とキャップ絶縁膜110とをマスクとしてn型の導電型の不純物、たとえばリンをイオン注入し、半導体領域107をゲート電極106に対して自己整合的に形成する。前記フォトレジスト膜を除去した後、pチャネルMISFETQ_pが形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜とキャップ絶縁膜110とをマスクとしてp型の導電型の不純物、たとえばボロンをイオン注入し、半導体領域108をゲート電極106に対して自己整合的に形成する。さらに、半導体基板101上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極106の側壁にサイドウォールスペーサ109を形成する(図24)。なお、さらに、フォトレジスト膜、キャップ絶縁膜110およびサイドウォールスペーサ109をマスクとして半導体領域107または半導体領域108にその導電型に応じた不純物を高濃度にイオン注入し、いわゆるLDD構造の不純物半導体領域を形成してもよい。

【0132】また、この段階で、半導体領域107、108の表面に、タングステンまたはコバルトのシリサイド膜を形成し、半導体領域107、108のシート抵抗およびプラグ113との接触抵抗を低減するようにしてもよい。

【0133】次に、半導体基板101上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜111を形成する。層間絶縁膜111の表面は、CMP法を用いた研磨により平坦化することができる。さらに、半導体基板101の主面の半導体領域107、108上の層間絶縁膜111に、フォトリソグラフィ技術およびエッチング技術を用いて接続孔112を開孔する(図25)。

【0134】次に、スパッタ法によりタングステン膜113aを堆積し、さらにブランケットCVD法によりタングステン膜113bを堆積する(図26)。

【0135】次に、接続孔112以外の層間絶縁膜111上のタングステン膜113bおよびタングステン膜113aをCMP法による研磨により除去し、プラグ113を形成する(図27)。このとき、プラグ113の表面には、層間絶縁膜111であるシリコン酸化膜とタングステン膜113bおよびタングステン膜113aとのCMP研磨の速度差に起因した凹部(ディッシング部)140が形成される。なお、CMP法に代えてエッチバック法を用いてもよい。

【0136】次に、半導体基板1の全面にタングステン膜を堆積し、このタングステン膜をフォトリソグラフィおよびエッチング技術によりパターンニングして第1層配線M1を形成する(図28)。なお、前工程で発生した凹部140の影響は、タングステン膜の表面にも発生するが、この凹部140に起因するタングステン膜の表面凹凸の存在は、第1層配線M1がパターンニングにより形成されるため、大きな影響は受けない。すなわち、第1層配線M1が凹部140に起因して残存することはな

10 い。

【0137】次に、スパッタ法またはCVD法で酸化シリコン膜を堆積して配線層間絶縁膜114を形成する。なお、ここでは、スパッタ法またはCVD法で形成されたシリコン酸化膜を例示しているが、SOG等の塗布膜、有機膜、フッ素を添加したCVDシリコン酸化膜、シリコン窒化膜、その他複数種の絶縁膜を積層した多層膜であってもよい。また、配線層間絶縁膜114の表面はCMP法により研磨して平坦化する。このように平坦化することにより、次に説明する接続孔115の加工の際のフォトリソグラフィを精度よく行うことができ、半導体集積回路装置の高集積化に対応することが容易になる。

【0138】次に、フォトリソグラフィ技術およびエッチング技術を用いて、第1層配線M1の表面に達する接続孔115を開孔する。(図29)。

【0139】次に、接続孔115の内部を含む配線層間絶縁膜114の表面に、スパッタ法によりタングステン膜116aを堆積し、さらにブランケットCVD法によりタングステン膜116bを堆積する(図30)。

30 【0140】次に、接続孔115以外の配線層間絶縁膜114上のタングステン膜116bおよびタングステン膜116aをCMP法により研磨することで除去し、プラグ116を形成する(図31)。このとき、プラグ116の表面には、配線層間絶縁膜114であるシリコン酸化膜とタングステン膜116bおよびタングステン膜116aとのCMP研磨の速度差に起因した凹部141が形成される。なお、CMP法に代えてエッチバック法を用いてもよい。

【0141】次に、第2層配線M2をCMP法で形成するための配線形成用絶縁膜117を堆積する(図32)。配線形成用絶縁膜117は、たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、その膜厚は、第2層配線M2の膜厚である0.5μmあるいはそれよりも若干厚く形成する。配線形成用絶縁膜117の表面には、凹部141に起因する凹部が形成される。

【0142】次に、第2層配線M2が形成される領域に開口を有するフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして配線形成用絶縁膜117をエッチングし、配線形成用絶縁膜117に配線層118を形

50

成する(図33)。なお、この段階で前記した凹部141に起因する配線形成用絶縁膜117の表面の凹部は除去され、その後の工程に影響することはない。また配線溝118の幅は、最小幅W1と最大幅W2との間の幅で形成されるが、最大幅W2は、最小幅W1の4倍以下である。

【0143】次に、配線溝118の内部を含む配線形成用絶縁膜117の表面にバリア層119aとなる窒化チタン膜142を堆積する(図34)。窒化チタン膜142は、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化チタン膜142の堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、窒化チタン膜に代えてタンタル等の金属膜あるいは窒化タンタル膜等であってもよい。また、次工程である銅膜の堆積直前に窒化チタン膜142の表面をスパッタエッチすることも可能である。このようなスパッタエッチにより、窒化チタン膜142の表面に吸着した水、酸素分子等を除去し、銅膜の接着性を改善することができる。

【0144】次に主導電層119bとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝118に良好に埋め込まれた銅膜143を形成する

(図35)。銅膜143の堆積は、通常スパッタ法を用いることができるが、蒸着法等の物理的气相成長法を用いてもよい。また、有機金属ガス等を原料ガスに用いたCVD法等により堆積を行ってもよい。熱処理の条件は、銅膜143が流動化する温度および時間を必要とし、たとえば、350℃～400℃、3分～5分を例示することができる。なお、銅膜143は、電解メッキあるいは無電解メッキのメッキ法を用いて形成することも

【0145】また、窒化チタン膜142および銅膜143の膜厚は、配線溝118が最小幅W1の領域で膜厚H1であり、配線溝118が最大幅W2の領域で膜厚H2である。このとき、膜厚H1と膜厚H2とは、ほぼ等しく、かつ、配線溝118の深さL1よりも大きくなっている。すなわち、銅膜143は、配線溝118が最小幅W1の領域および最大幅W2の領域の双方で配線溝118を完全に埋め込んでいる。これにより、第2層配線M2が配線溝118の断面内のほぼ全域に形成され、第2層配線M2の抵抗を低減できる。

【0146】次に、配線形成用絶縁膜117上の余分な銅膜143および窒化チタン膜142を除去し、第2層配線M2を構成する主導電層119bおよびバリア層119aを形成する(図36)。銅膜143および窒化チタン膜142の除去には、CMP法による研磨を用いる。第2層配線M2の形成にCMP法による研磨を用いるため、第2層配線M2の表面には配線形成用絶縁膜117の表面に比較して凹んだ状態であるディッシング120が形成される。図36の一点鎖線で囲まれた部分の

拡大図を図37に示す。図37に示すように、配線形成用絶縁膜117の表面には、CMPの研磨剤等による引っかかり傷であるスクラッチ145が形成される。

【0147】また、配線溝118が最小幅W1の領域のディッシング120の部分のディッシング量K1と最大幅W2の領域のディッシング120の部分のディッシング量K2とは、ほぼ同量となっている。

【0148】次に、第2層配線M2および配線形成用絶縁膜117上にシリコン窒化膜を堆積してブロッキング層121aを形成する(図38)。シリコン窒化膜の堆積には、たとえばプラズマCVD法を用いることができる。膜厚は約100nmとする。シリコン窒化膜の膜厚が薄く、また、CVD法によるシリコン窒化膜は段差の被覆性に優れるため、この段階でのブロッキング層121aの表面は、図39に示すように、ディッシング120およびスクラッチ145に起因する凹凸が存在する。なお、図39は、図38の一点鎖線で囲まれた部分の拡大図を示す。

【0149】次に、自己流動性を有した被膜であるSOG膜を塗布し、さらに400℃程度の熱処理を行ってキュアし、平坦化層121bを形成する(図40)。SOG膜として、有機あるいは無機のSOG膜を用いることができる。また、ポリシラザン系のSOG膜を用いることも可能である。ポリシラザン系のSOG膜の場合には、耐熱性を有し、半導体集積回路装置の信頼性を向上することができる。図41は、図40の一点鎖線で囲まれた部分の拡大図を示す。図41に示すように、平坦化層121bとして自己流動性を有するSOG膜を用いるため、その表面は平坦化され、ディッシング120およびスクラッチ145の影響は排除される。

【0150】次に、絶縁膜121cを堆積して配線層間絶縁膜121を完成する(図42)。絶縁膜121cは、たとえばCVD法によるシリコン酸化膜とすることができる。絶縁膜121cの表面すなわち配線層間絶縁膜121の表面は、平坦化層121bの存在により平坦性が確保されている。これにより、その後の工程で形成されるプラグ123等の導電性部材の形成の際にディッシング120あるいはスクラッチ145に起因する導電性の残留物が形成されず、上層配線である第3層配線M3間の絶縁性が確保される。また、配線層間絶縁膜121の表面が平坦化されているため、フォトリソグラフィのマージンを向上し、半導体集積回路装置の微細化に対応することが可能となる。

【0151】次に、接続孔122が形成される領域に開口を有するフォトレジスト膜146をパターンニングし、このフォトレジスト膜146をマスクとして絶縁膜121cおよび平坦化層121bをエッチングする(図43)。このエッチングの際には、シリコン酸化膜のエッチング速度がシリコン窒化膜に比較して大きくなる条件でエッチングを行い、シリコン酸化膜からなるブロッキ

ング層 121a をエッチングのストップ膜として利用することができる。

【0152】次に、エッチングの条件をシリコン窒化膜のエッチング速度がシリコン酸化膜に比較して大きくなる条件に切り換え、さらにブロッキング層 121a をエッチングして接続孔 122 の形成を完了する（図 44）。このように、接続孔 122 のエッチングを 2 段階で行うことにより、ブロッキング層 121a のエッチングの際のオーバーエッチングを十分に行っても、ブロッキング層 121a の膜厚が薄いため、第 2 層配線 M2 が過剰にエッチングされることがない。このため、接続孔 122 の開口を確実に行うとともに、第 2 層配線 M2 へのダメージを最小限にすることができる。

【0153】また、フォトレジスト膜 146 の除去の際には、通常酸素またはオゾンによるアッシング法が用いられるが、平坦化層 121b の無機 SOG を用いる場合には、このアッシングの際に、接続孔 122 の側面部分の平坦化層 121b の断面に受ける損傷を抑制できる。すなわち、仮に平坦化層 121b に有機 SOG を用いれば、オゾンアッシングの際に有機 SOG 内の Si-CH₃ 結合が、Si-OH あるいは Si-O 結合に変換され、その部分の吸湿性、あるいは膜収縮が発生する。この結果、半導体集積回路装置の信頼性の低下や歩留まりの低下が予測され好ましくない。したがって、有機 SOG を採用する場合には、フォトレジスト膜 146 のウェットプロセスによる剥離や、低圧酸素プラズマを用いた反応性イオンエッチング（RIE）等、アッシングに比較して習熟されていないプロセスを用いる必要が生じる。しかし平坦化層 121b に無機 SOG を用いる場合には、このような不具合は生じない。

【0154】なお、次工程のプラグ 123 の形成工程の進む直前に、たとえば酸素雰囲気において 350℃、5 分程度のアニールを施し、接続孔 122 の底部の第 2 層配線 M2 の表面に還元処理を行うことができる。さらに、接続孔 122 の底部へのスパッタエッチングを行うこともできる。これにより、フォトレジスト膜 146 の除去の際のアッシングあるいは大気雰囲気への放置により生じた接続孔 122 底部の酸化銅を除去して第 2 層配線 M2 とプラグ 123 との電気的接続の接続抵抗の低減あるいは接続信頼性の向上を図れる。

【0155】次に、前記したプラグ 116 の形成方法と同様にしてプラグ 123 を形成する（図 45）。このプラグ 123 の形成に際して CMP 法が用いられることは前記したとおりであるが、配線層間絶縁膜 121 の表面が平坦化されているため、導電性の残留物が配線層間絶縁膜 121 の表面に残存することがない。このため、プラグ 123 間の絶縁性および配線層間絶縁膜 121 上に形成される第 3 層配線 M3 間の絶縁性が確保される。なお、プラグ 123 の表面には CMP 法により研磨に起因して凹部 147 が形成される。

【0156】次に、配線層間絶縁膜 121 およびプラグ 123 の上面には、第 3 層配線 M3 を形成するための配線形成用絶縁膜 124 が形成される（図 46）。配線形成用絶縁膜 124 は、配線形成用絶縁膜 117 と同様にして形成できる。また、配線形成用絶縁膜 124 の表面には凹部 147 に起因する凹部が形成される。

【0157】次に、前記した第 2 層配線 M2 の場合と同様にしてバリア層と銅膜とからなる第 3 層配線 M3 を形成する（図 47）。この第 3 層配線 M3 の形成に際しては、凹部 147 に起因する配線形成用絶縁膜 124 表面の凹部は、それに起因する導電性残留物を形成しない。これは、第 2 層配線 M2 の場合と同様であり、第 3 層配線 M3 を形成するための浅溝の加工の際に、前記した凹部がエッチングされて除去されることに基づく。なお、第 3 層配線 M3 の表面には CMP 法の研磨に起因する凹部 125 が形成される。

【0158】次に、配線形成用絶縁膜 124 および第 3 層配線 M3 の表面に、第 3 層配線 M3 と第 4 層配線 M4 とを絶縁する配線層間絶縁膜 126 を構成するブロッキング層 126a および平坦化層 126b を形成する（図 48）。ブロッキング層 126a および平坦化層 126b の形成は、ブロッキング層 121a および平坦化層 121b と同様に行うことができる。平坦化層 121b を形成することにより、凹部 125 の影響を取り除いて、その表面を平坦にすることができる。

【0159】次に、配線層間絶縁膜 126 を構成する絶縁膜 126c を堆積して配線層間絶縁膜 126 の形成を完了する。配線層間絶縁膜 126 の表面は平坦化層 121b が存在するため平坦化されている。さらに、プラグ 116 と同様にしてプラグ 128 を形成する（図 49）。このプラグ 128 の形成に際して CMP 法が用いられることは前記したとおりであるが、配線層間絶縁膜 126 の表面が平坦化されているため、導電性の残留物が配線層間絶縁膜 126 の表面に残存することがない。このため、プラグ 128 間の絶縁性および配線層間絶縁膜 126 上に形成される第 4 層配線 M4 間の絶縁性が確保される。なお、プラグ 128 の表面には CMP 法により研磨に起因して凹部 149 が形成されるが、これに起因して次工程で導電性残留物を生じないことは前記第 3 層配線の場合と同様である。

【0160】次に、配線層間絶縁膜 126 およびプラグ 128 の上面には、第 4 層配線 M4 を形成するための配線形成用絶縁膜 129 が形成される。配線形成用絶縁膜 129 の形成は、配線形成用絶縁膜 117 と同様に行うことができるが、第 4 層配線 M4 の膜厚が厚くなることに伴い、配線形成用絶縁膜 117 よりも厚く、たとえば 1 μm の膜厚あるいはそれよりも若干厚い膜厚で形成される。その後、第 2 層配線 M2 あるいは第 3 層配線 M3 の場合と同様に、配線溝を形成し、窒化チタン膜 150 および銅膜 151 を堆積する（図 50）。窒化チタン膜

150および銅膜151は、第2配線層M2あるいは第3層配線M3の場合と同様に形成できる。

【0161】次に、窒化チタン膜150および銅膜151をCMP法により研磨し、配線形成用絶縁膜129の上面の余分な窒化チタン膜150および銅膜151を除去する。これにより第4層配線M4を形成する(図51)。なお、第4層配線M4の表面にはCMP法の研磨に起因する凹部130が形成される。

【0162】次に、配線形成用絶縁膜129および第4層配線M4の表面に、第4層配線M4と第5層配線M5とを絶縁する配線層間絶縁膜131を構成するブロッキング層131aおよび平坦化層131bを形成する(図52)。ブロッキング層131aおよび平坦化層131bの形成は、ブロッキング層121aおよび平坦化層121bと同様に行うことができる。平坦化層131bを形成することにより、凹部130の影響を取り除いて、その表面を平坦にすることができる。

【0163】次に、配線層間絶縁膜131を構成する絶縁膜131cを堆積して配線層間絶縁膜131の形成を完了する。配線層間絶縁膜131の表面は平坦化層131bが存在するため平坦化されている。さらに、プラグ116と同様にしてプラグ133を形成する(図53)。

【0164】次に、配線層間絶縁膜131上に、たとえばアルミニウム膜を全面に堆積し、このアルミニウム膜をパターニングして第5層配線M5を形成する(図54)。アルミニウム膜の堆積には、スパッタ法、CVD法、蒸着法等を用いることができる。

【0165】次に、たとえばシリコン酸化膜を堆積して絶縁膜134を形成し、その後、第5層配線のパット上部の絶縁膜134に開口を形成する。さらに、全面にニッケル膜および金膜をスパッタ法、CVD法、蒸着法等を用いて堆積し、前記パット部以外のニッケル膜および金膜を除去してパンプ下地金属135を形成する。その後、金ボールの転写、あるいは金膜の堆積およびパターニングによりパンプ136を形成して図22に示す半導体集積回路装置がほぼ完成する。

【0166】なお、絶縁膜134は、シリコン酸化膜およびシリコン窒化膜の積層膜、あるいはさらにPIQ膜を形成したものであってもよい。また、パンプ136は、半田膜の形成およびパターニングによる半田ボールであってもよい。

【0167】本実施の形態3の半導体集積回路装置およびその製造方法によれば、前記したように、プラグ123、128、133が形成される配線層間絶縁膜121、126、131に平坦化層121b、126b、131bが形成されているため、プラグ123、128、133をCMP法で形成する際に、導電性の残留物が残存せず、プラグ123、128、133、および各プラグの上層に形成される第3～第5層配線M3～M5の絶

縁性が確保され、半導体集積回路装置の所定の性能を維持し、その信頼性、歩留まりの向上を図ることができる。

【0168】なお、本実施の形態3では、平坦化層121b、126b、131bとして、SOG膜を例示したが、気相中におけるシラノール($\text{H}_n\text{Si}(\text{OH})_{4-n}$)の生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることもできる。このようなシリコン酸化膜の形成方法については実施の形態1で説明したとおりであり、ここでは説明を省略する。

【0169】(実施の形態4)図55は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0170】本実施の形態4の半導体集積回路装置は、実施の形態3の半導体集積回路装置と、配線形成用絶縁膜117、124、129の構成においてのみ相違するものである。そのため、その他の構成部材についての説明は省略する。

【0171】本実施の形態4の配線形成用絶縁膜117、124、129には、平坦化層117a、124a、129aが含まれ、平坦化層117a、124a、129aの各々の上層に形成された絶縁膜117b、124b、129bとで配線形成用絶縁膜117、124、129を各々構成する。このように、配線形成用絶縁膜117、124、129に平坦化層117a、124a、129aが各々含まれるため、配線形成用絶縁膜117、124、129の形成後の表面が、その下層に形成されたプラグ116、123、127のCMP法による形成の際に生じた凹部に起因して凹凸が発生することがない。このため、配線形成用絶縁膜117、124、129の各々に配線溝を形成する際のフォトリソグラフィを精度よく行うことができ、半導体集積回路装置の高集積化に対応できる。

【0172】平坦化層117a、124a、129aは、実施の形態3における平坦化層121b、126b、131bと同様であり、自己流動性を有するSOG膜からなる。SOG膜は有機SOG膜あるいは無機SOG膜の何れであってもよいが、無機SOG膜の場合には実施の形態3で説明したと同様な効果、つまり、配線形成用絶縁膜117、124、129に配線溝を形成する際に使用するフォトレジスト膜の除去工程にアッシングを用いた場合であっても、SOG膜に親水性あるいは収縮が生じることがない。一方、有機SOG膜を用いた場合には、低誘電率に起因した配線間の容量を低減できるという効果がある。また、平坦化層117a、124a、129aは、SOG膜に代えて、気相中におけるシラノールの生成と低温基板上でのシラノールの反応とにより形成されるシリコン酸化膜とすることもできる。

【0173】絶縁膜117b、124b、129bは、

たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、配線形成用絶縁膜117、124、129の膜厚を調整する機能を有する。

【0174】次に、本実施の形態4の半導体集積回路装置の製造方法を図56～図64を用いて説明する。図56～図64は、実施の形態4の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0175】本実施の形態4の製造方法は、実施の形態3における図31までの工程と同様である。したがって、それまでの工程についての説明は省略する。

【0176】実施の形態3における図31に示すように、配線層間絶縁膜114にプラグ116を形成する。このプラグ116の表面には、図31に示すように、凹部141が形成される。

【0177】次に、配線層間絶縁膜114およびプラグ116上に平坦化層117aを形成し、さらに絶縁膜117bを堆積する。これにより、平坦化層117aおよび絶縁膜117bで構成される配線形成用絶縁膜117が形成される(図56)。平坦化層117aは、自己流動性を有するSOG膜である。このように自己流動性を有するSOG膜を形成するため、平坦化層117aの表面には凹部141の影響が現れず、その表面は平坦化される。また、絶縁膜117bは、たとえばCVD法によるシリコン酸化膜とすることができるが、平坦化層117aが存在するため、その表面は平坦化されている。

【0178】次に、配線形成用絶縁膜117上に、第2層配線M2が形成される領域に開口を有したフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして配線形成用絶縁膜117をエッチングし、配線溝118を形成する(図57)。この配線溝118の形成に際しては、配線形成用絶縁膜117の表面が完全に平坦化されているため、フォトリソグラフィ工程が高精度に行えることに加えて、プラグ116の上部に配線が形成されないような場合であっても、その上部の配線形成用絶縁膜117の表面に配線を形成するための金属膜が残留することがない。これにより半導体集積回路装置の信頼性を向上できる。

【0179】次に、実施の形態3の第2層配線M2の製造方法と同様に、第2層配線M2を形成し(図58)、さらに、実施の形態3の場合と同様に、配線層間絶縁膜121およびプラグ123を形成する(図59)。なお、プラグ123の表面には凹部147が形成される。

【0180】次に、配線層間絶縁膜121およびプラグ123上に平坦化層124aを形成し、さらに絶縁膜124bを堆積する。これにより、配線形成用絶縁膜124が形成される(図60)。平坦化層124aは、平坦化層117aと同様に、自己流動性を有するSOG膜であり、絶縁膜124bは、絶縁膜117bと同様に、たとえばCVD法によるシリコン酸化膜とすることができる。配線形成用絶縁膜124は、平坦化層124aが存

在するため、凹部147の影響を排除することができ、その表面は平坦化される。

【0181】次に、第2層配線M2の場合と同様に、配線形成用絶縁膜124に配線溝を形成し、この配線溝内に第3層配線M3を形成する(図61)。さらに、実施の形態3の場合と同様に、配線層間絶縁膜126およびプラグ128を形成する(図62)。

【0182】次に、配線層間絶縁膜126およびプラグ128上に平坦化層129aを形成し、さらに絶縁膜129bを堆積する。これにより、配線形成用絶縁膜129が形成される(図63)。平坦化層129aは、平坦化層117aと同様に、自己流動性を有するSOG膜であり、絶縁膜129bは、絶縁膜117bと同様に、たとえばCVD法によるシリコン酸化膜とすることができる。配線形成用絶縁膜129は、平坦化層129aが存在するため、前記同様にその表面は平坦化される。

【0183】次に、第2層配線M2あるいは第3層配線M3の場合と同様に、配線形成用絶縁膜129に配線溝を形成し、この配線溝内に第4層配線M4を形成する(図64)。この後の工程は実施の形態3と同様であるためその説明を省略する。

【0184】本実施の形態4の半導体集積回路装置およびその製造方法によれば、配線形成用絶縁膜117、124、129に、平坦化層117a、124a、129aが含まれるため、配線形成用絶縁膜117、124、129の表面を平坦化することができ、フォトリソグラフィの加工精度を向上できる。また、下層に形成されたプラグ等に凹部を有していても、この凹部に起因する配線形成用の導電性膜の残留が発生せず、半導体集積回路装置の信頼性を向上できる。

【0185】(実施の形態5) 図65は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0186】本実施の形態5の半導体集積回路装置は、配線形成用絶縁膜117、124、129には、平坦化層117a、124a、129aが含まれ、平坦化層117a、124a、129aの各々の上層に形成された絶縁膜117b、124b、129bとで配線形成用絶縁膜117、124、129を各々構成するものであるが、配線層間絶縁膜121、126、131には平坦化層が含まれず、ブロッキング層121a、126a、131a、および、絶縁膜121c、126c、131cで配線層間絶縁膜121、126、131を各々構成するものである。

【0187】このような半導体集積回路装置によれば、実施の形態4で説明した効果が得られる一方、プラグ123、127、133の形成の際のCMP研磨をある程度過剰に行うことによって、導電性残留物の発生をある程度抑制することは可能である。

【0188】(実施の形態6) 図66は、本発明のさら

に他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【0189】本実施の形態6の半導体集積回路装置は、その第1層配線M1をCMP法で形成したものであり、また、第1層配線M1と第2層配線M2との間の配線層間絶縁膜114に平坦化層114aを適用したものである。その他の構成は実施の形態3と同様であり、説明は省略する。

【0190】平坦化層114aは、自己流動性を有する流動性絶縁膜であり、たとえばSOG膜とすることができる。SOG膜は有機、無機何れであってもよく、また、SOG膜に代えて気相中におけるシラノールの生成と低温基板上でのシラノールの反応により形成されるシリコン酸化膜とすることもできる。配線層間絶縁膜114は、平坦化層114aと絶縁膜114bとで構成され、絶縁膜114bは、たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜とすることができ、配線層間絶縁膜114の膜厚を調整する機能を有する。

【0191】次に、本実施の形態6の半導体集積回路装置の製造方法を図67～図71を用いて説明する。図67～図71は、実施の形態6の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0192】本実施の形態6の製造方法は、実施の形態3における図27までの工程と同様である。したがって、それまでの工程についての説明は省略する。

【0193】実施の形態3の図27に示すプラグ113の形成後、第1層配線M1を形成するための配線形成用絶縁膜114cを堆積する(図67)。配線形成用絶縁膜114cは、たとえばCVD法により形成でき、シリコン酸化膜とすることができる。また、配線形成用絶縁膜114cの表面には凹部140に起因して凹部が形成されている。

【0194】次に、第1層配線M1が形成される領域に開口を有するフォトリソ膜をパターンニングし、このフォトリソ膜マスクとして配線形成用絶縁膜114cをエッチングする(図68)。

【0195】次に、半導体基板101の全面にタングステン膜152を堆積し(図69)、このタングステン膜152をCMP法により研磨する。タングステン膜152の研磨は配線形成用絶縁膜114cの表面が露出するまで行う。これにより、配線形成用絶縁膜114cの表面の余分なタングステン膜152を除去して第1層配線M1を形成する(図70)。なお、第1層配線M1の表面には、第1層配線M1を構成するタングステンと配線形成用絶縁膜114cを構成するシリコン酸化膜とのCMPの研磨速度に起因して凹部(ディッシング)153が形成される。

【0196】次に、配線形成用絶縁膜114cおよび第1層配線M1上に、平坦化層114aを形成する。平坦

化層114aは、たとえばSOG膜とすることができ、なお、SOG膜は有機、無機何れであってもよく、また、SOG膜に代えて気相中におけるシラノールの生成と低温基板上でのシラノールの反応により形成されるシリコン酸化膜とすることもできることは前記したとおりである。このように、平坦化層114aを形成することにより、第1層配線M1の表面の凹部153を吸収して平坦化層114aの表面を平坦にすることができる。さらに、絶縁膜114bを堆積し、配線層間絶縁膜114の形成を完了する(図71)。絶縁膜114bは、たとえばCVD法により形成でき、シリコン酸化膜とすることができる。配線層間絶縁膜114の表面は、平坦化層114aの存在により平坦とすることができ、これにより、その後の工程、特にプラグ116の形成工程において、凹部153に起因する導電性の残留物を発生することがない。これにより、半導体集積回路装置の所定の性能を確保し、その信頼性と歩留まりを向上できる。

【0197】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0198】たとえば、主導電層が銅の場合を例示したが、タングステンあるいはアルミニウムの場合であってもよい。

【0199】また、配線層間絶縁膜にブロッキング層を設けた例について説明したが、これらブロッキング層は必須ではなく、設けなくてもよい。

【0200】さらに、実施の形態3、4、6において、配線層間絶縁膜121、126、131がブロッキング層121a、126a、131aと、平坦化層121b、126b、131bと、絶縁膜121c、126c、131cとの3層構成の場合を例示しているが、ブロッキング層121a、126a、131aと、平坦化層121b、126b、131bとの間に、図72に示すような絶縁膜121d、126d、131dが形成されてもよい。絶縁膜121d、126d、131dは、たとえばCVDにより形成されたシリコン酸化膜とすることができる。

【0201】また、ブロッキング層121a、126a、131aは必須ではない。この場合、第2～第4層配線M2～M4の形成後に、銅等の拡散をブロックする作用を有する薄膜、たとえば窒化チタン膜を堆積し、この後硬質パッド等を用いて、CMP法により研磨して配線形成用絶縁膜117、124、129上の前記窒化チタン膜を除去する方法等によって、ブロッキング作用を有する被膜を第2～第4層配線M2～M4の各々の上部に形成できる。

【0202】また、実施の形態3～6の第2層配線M

2、第3層配線M3、第4層配線M4を、実施の形態1、2の配線18のようにデュアルダマシン法で形成することができる。たとえば、図74は、実施の形態3の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。また、図75は、実施の形態4の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。また、図76は、実施の形態5の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。また、図77は、図72に示す半導体集積回路装置の第2、第3、第4層配線M2、M3、M4にデュアルダマシン法を適用した例を示す。

【0203】また、第1～第5層配線M1～M5までの配線に限られず、第6、第7等さらに上層の配線を形成することもできる。

【0204】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0205】(1) CMP法により絶縁膜に形成された配線溝または接続孔内に埋め込んで形成された導電性部材(たとえば配線、プラグ)上の絶縁膜の表面平坦性を向上できる。

【0206】(2) CMP法により絶縁膜に形成された配線溝または接続孔内に埋め込んで形成された導電性部材上の第2の導電性部材のショート不良を防止でき、半導体集積回路装置の歩留まりおよび信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【図2】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図3】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図4】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図5】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図6】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図7】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図8】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図9】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図10】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図11】実施の形態1の半導体集積回路装置の製造方

法の一例をその工程順に示した断面図である。

【図12】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図13】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図14】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図15】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図16】本発明の他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図17】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図18】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図19】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図20】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図21】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図22】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図23】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図24】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図25】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図26】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図27】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図28】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図29】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図30】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図31】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図32】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図33】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図34】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図35】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図36】実施の形態3の半導体集積回路装置の製造方

法の一例をその工程順に示した断面図である。

【図 37】図 36 の一点鎖線で囲まれた部分の拡大図である。

【図 38】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 39】図 38 の一点鎖線で囲まれた部分の拡大図である。

【図 40】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 41】図 40 の一点鎖線で囲まれた部分の拡大図である。

【図 42】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 43】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 44】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 45】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 46】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 47】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 48】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 49】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 50】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 51】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 52】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 53】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 54】実施の形態 3 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 55】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図 56】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 57】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 58】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 59】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 60】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 61】実施の形態 4 の半導体集積回路装置の製造方

法の一例をその工程順に示した断面図である。

【図 62】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 63】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 64】実施の形態 4 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 65】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図 66】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図 67】実施の形態 6 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 68】実施の形態 6 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 69】実施の形態 6 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 70】実施の形態 6 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 71】実施の形態 6 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図 72】本発明のさらに他の実施の形態である半導体集積回路装置の他の例を示した断面図である。

【図 73】本発明者らが検討した問題点を説明する図面であり、(a) は平面図、(b) は (a) における b-b 断面図、(c) は (a) における c-c 断面図である。

【図 74】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図 75】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図 76】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【図 77】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した断面図である。

【符号の説明】

- 1 半導体基板
- 2 SOI 絶縁層
- 3 U 溝素子分離領域
- 4 p ウェル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 不純物半導体領域
- 9 サイドウォールスペーサ
- 10 キャップ絶縁膜
- 11a 層間絶縁膜
- 11b 層間絶縁膜
- 11c スクラッチ
- 12 接続孔
- 13 金属ブラグ

13 a タングステン膜
 13 b 金属プラグ
 13 c タングステン膜
 14 配線
 14 a 主導電層
 14 b 窒化チタン膜
 14 c ディッシング
 15 配線溝
 16 層間絶縁膜
 16 a ブロッキング層
 16 b 平坦化層
 16 c 絶縁膜
 17 配線溝
 18 配線
 18 a 主導電層
 18 b 窒化チタン膜
 19 金属膜
 20 金属膜
 21 層間絶縁膜
 21 a ブロッキング層
 21 b シリコン酸化膜
 22 シリコン酸化膜
 23 凹部
 101 半導体基板
 102 素子分離領域
 103 p型ウェル
 104 n型ウェル
 105 ゲート絶縁膜
 106 ゲート電極
 107 不純物半導体領域
 108 不純物半導体領域
 109 サイドウォールスペーサ
 110 キャップ絶縁膜
 111 層間絶縁膜
 112 接続孔
 113 プラグ
 113 a タングステン膜
 113 b タングステン膜
 114 配線層間絶縁膜
 114 a 平坦化層
 114 b 絶縁膜
 114 c 配線形成用絶縁膜
 115 接続孔
 116 プラグ
 116 a タングステン膜
 116 b タングステン膜
 117 配線形成用絶縁膜
 117 a 平坦化層
 117 b 絶縁膜
 118 配線溝

119 a バリア層
 119 b 主導電層
 120 ディッシング (凹部)
 121 配線層間絶縁膜
 121 a ブロッキング層
 121 b 平坦化層
 121 c 絶縁膜
 121 d 絶縁膜
 122 接続孔
 10 123 プラグ
 124 配線形成用絶縁膜
 124 a 平坦化層
 124 b 絶縁膜
 125 凹部
 126 配線層間絶縁膜
 126 a ブロッキング層
 126 b 平坦化層
 126 c 絶縁膜
 126 d 絶縁膜
 20 127 接続孔
 128 プラグ
 129 配線形成用絶縁膜
 129 a 平坦化層
 129 b 絶縁膜
 130 凹部
 131 配線層間絶縁膜
 131 a ブロッキング層
 131 b 平坦化層
 131 c 絶縁膜
 30 131 d シリコン酸化膜
 132 接続孔
 133 プラグ
 134 絶縁膜
 135 バンプ下地金属 (BLM)
 136 バンプ
 140 凹部
 141 凹部
 142 窒化チタン膜
 143 銅膜
 40 145 スクラッチ
 146 フォトレジスト膜
 147 凹部
 149 凹部
 150 窒化チタン膜
 151 銅膜
 152 タングステン膜
 153 凹部
 201 絶縁膜
 202 配線
 50 203 絶縁膜

45

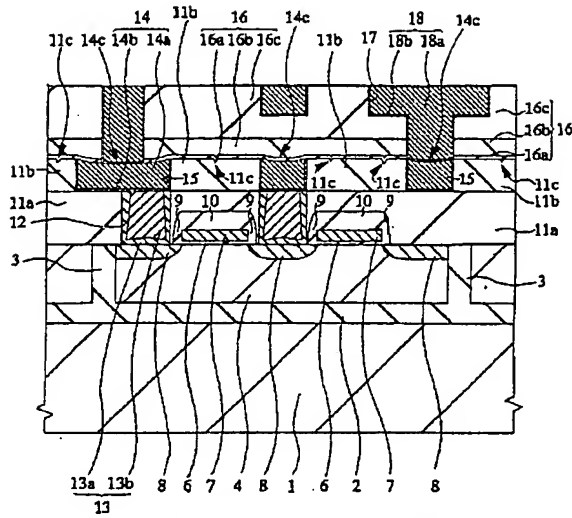
- 204 配線溝
- 205 凹部
- 206 絶縁膜
- 207 プラグ
- 208 導電物質
- 209 絶縁膜
- 210 配線

46

- M1 第1層配線
- M2 第2層配線
- M3 第3層配線
- M4 第4層配線
- M5 第5層配線
- Qn nチャネルMISFET
- Qp pチャネルMISFET

【図1】

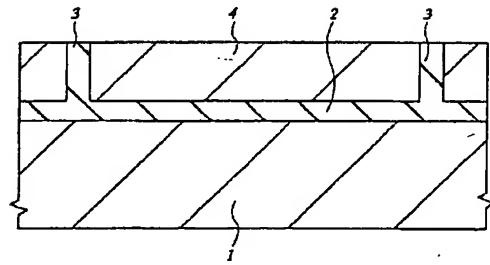
図 1



- | | |
|-----------------|--------------|
| 1: 半導体基板 | 16a: ブロッキング層 |
| 11a, 11b: 層間絶縁膜 | 16b: 平坦化層 |
| 14: 配線 | 16c: 絶縁膜 |
| 15: 配線溝 | Qn: n形MISFET |
| 16: 層間絶縁膜 | |

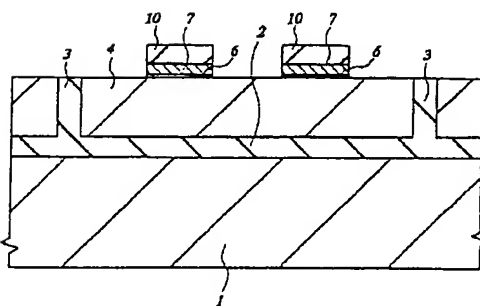
【図2】

図 2



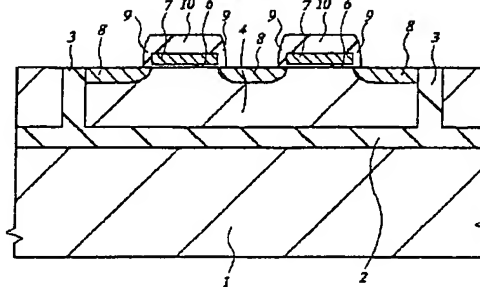
【図3】

図 3

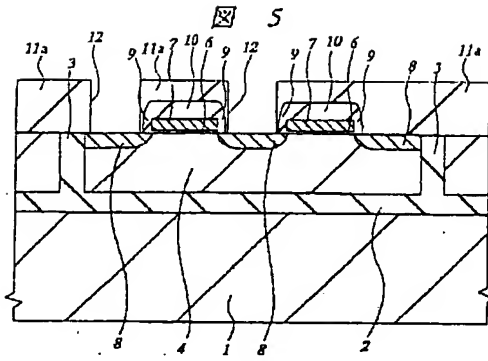


【図4】

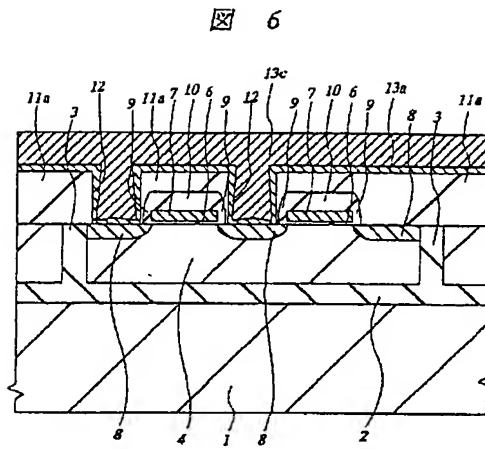
図 4



【図 5】

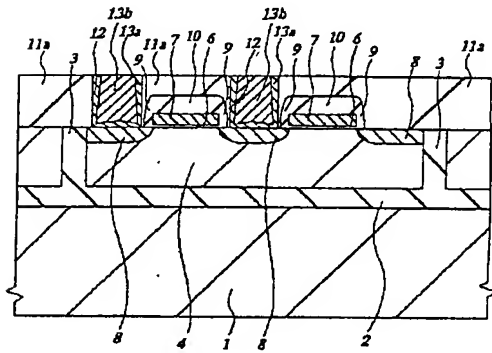


【図 6】



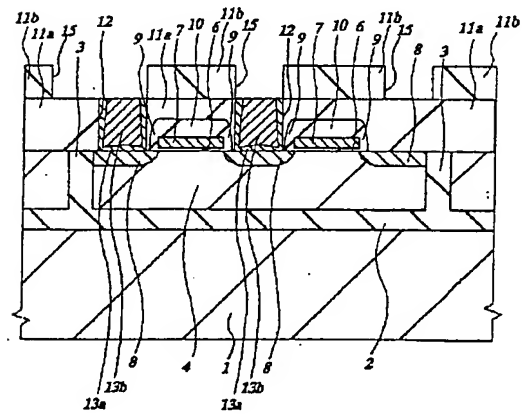
【図 7】

図 7



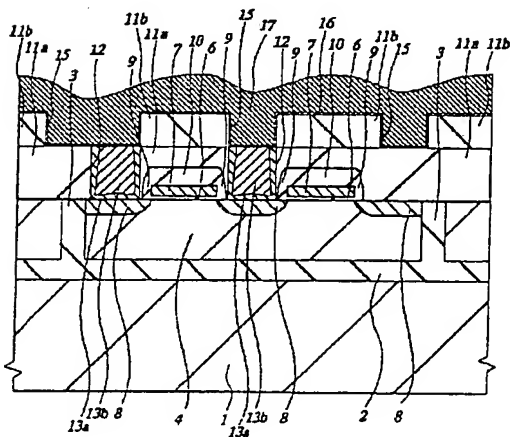
【図 8】

図 8



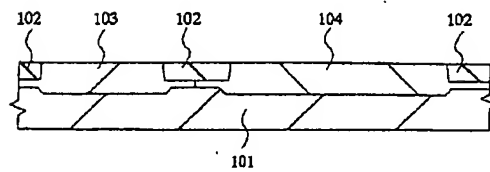
【図 10】

図 10



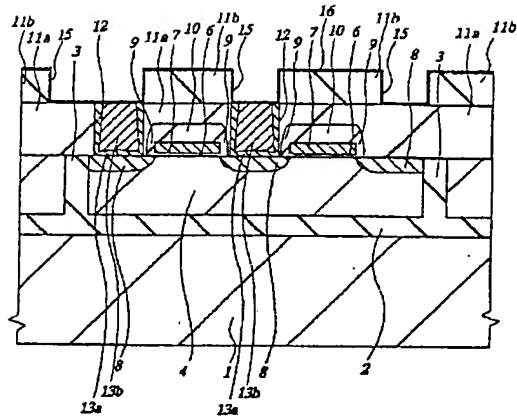
【図 22】

図 22



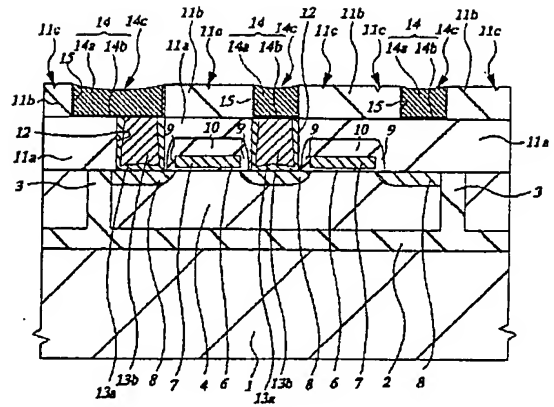
【図9】

図 9



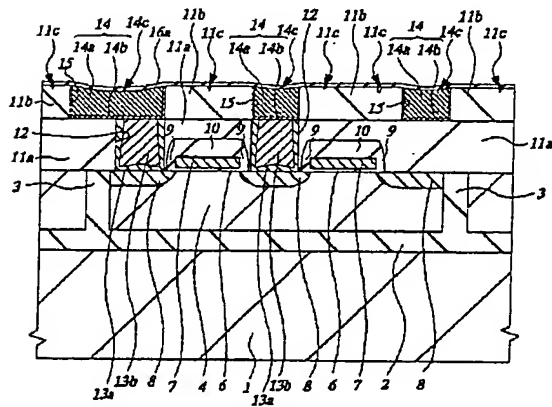
【図11】

図 11



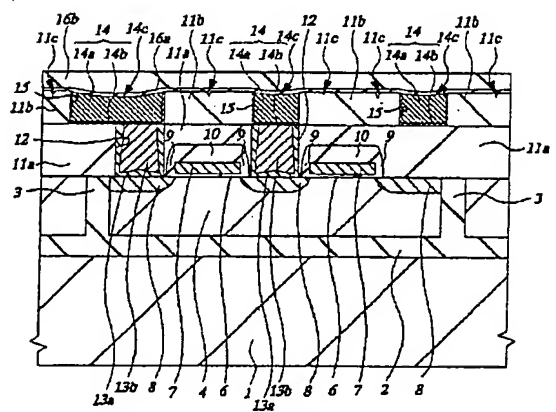
【図12】

図 12



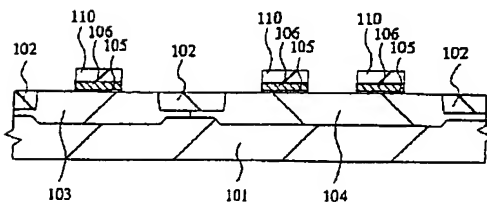
【図13】

図 13



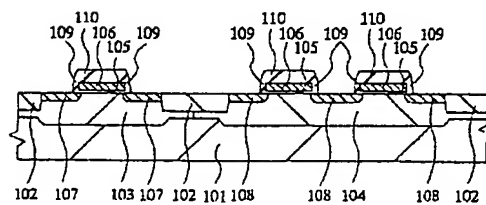
【図23】

図 23



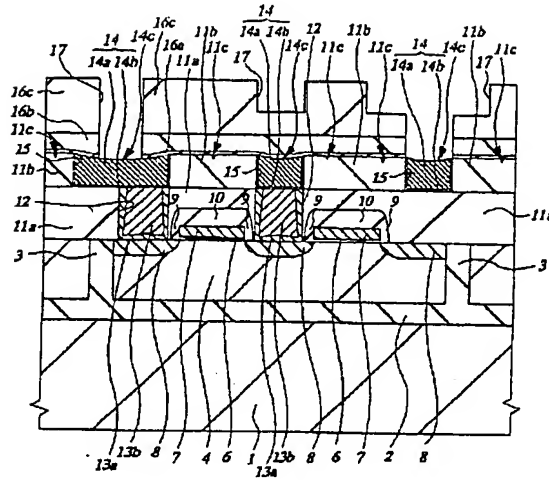
【図24】

図 24



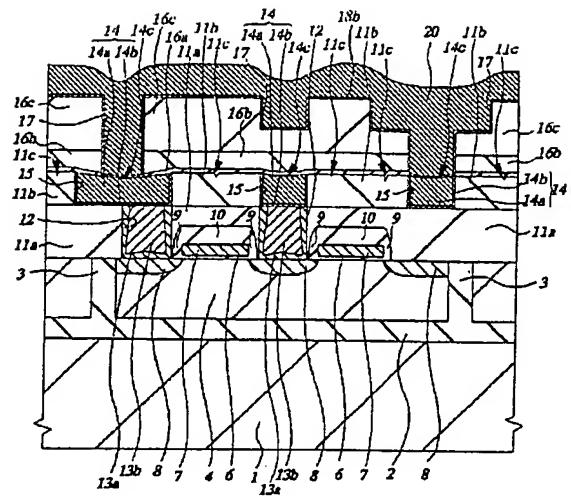
【図14】

図 14



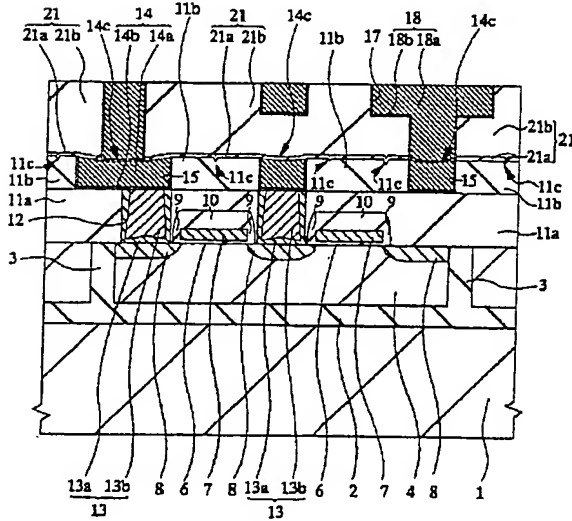
【図15】

図 15



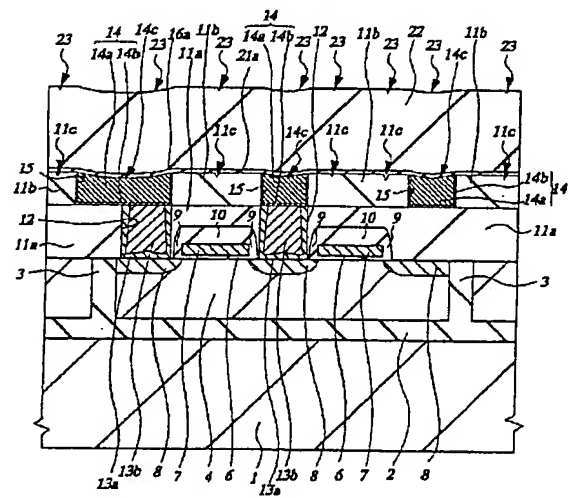
【図16】

図 16



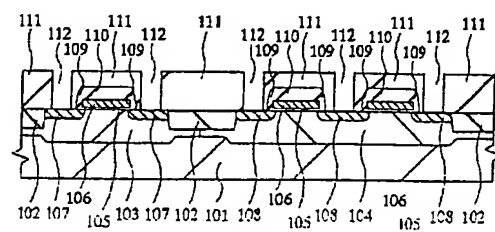
【図17】

図 17



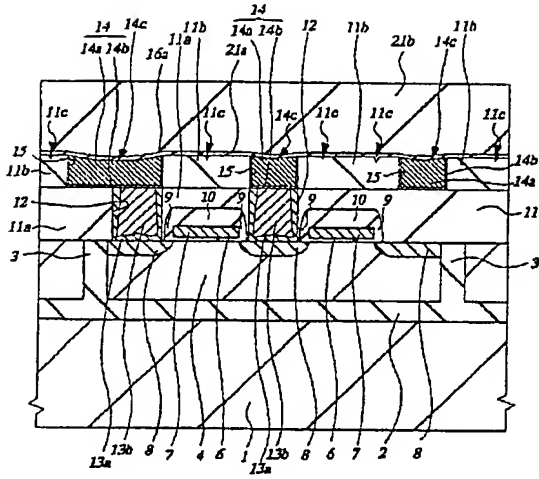
【図25】

図 25



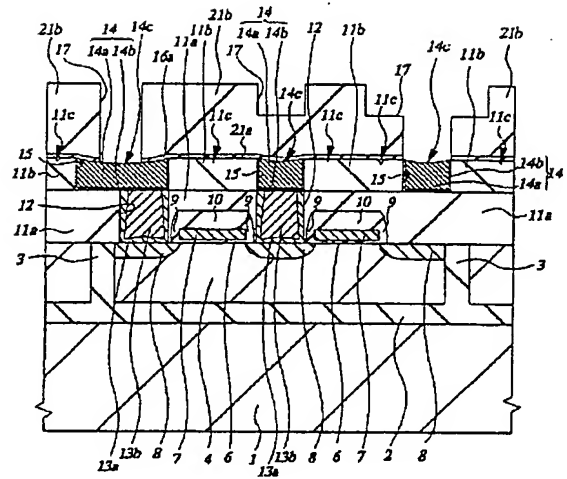
【図18】

図 18



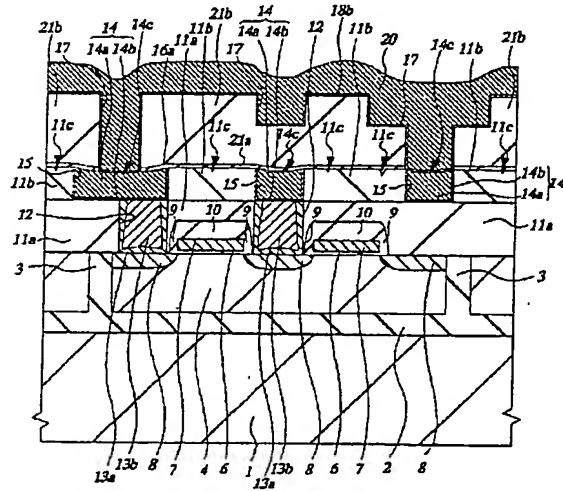
【図19】

図 19



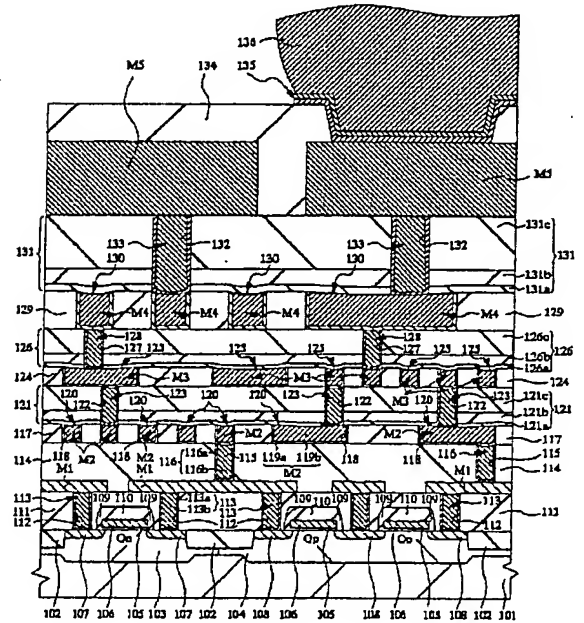
【図20】

図 20



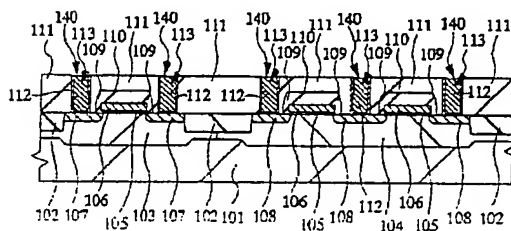
【図21】

図 21



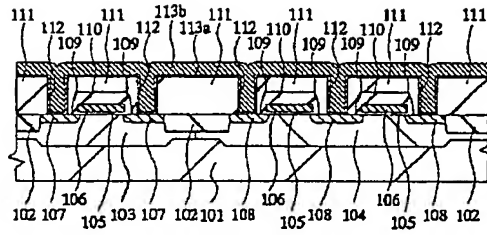
【図27】

図 27



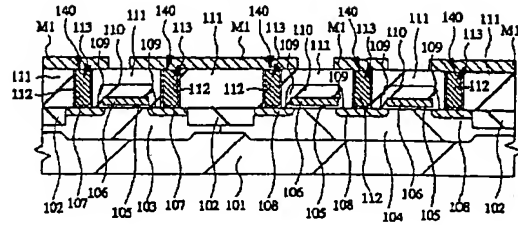
【図 26】

図 26



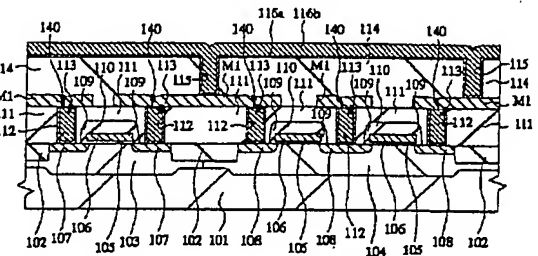
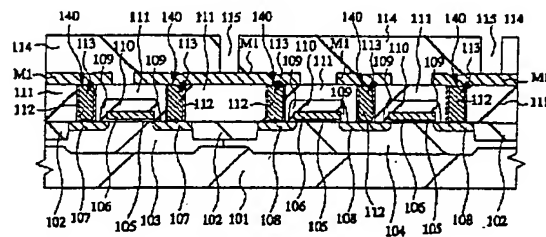
【図 28】

図 28



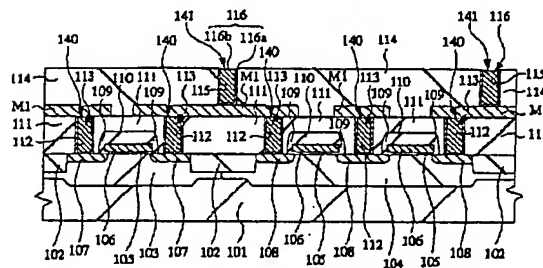
【図 30】

図 30



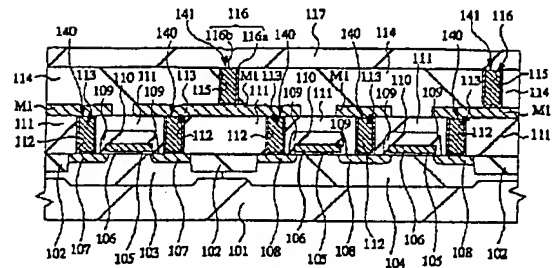
【図 31】

図 31



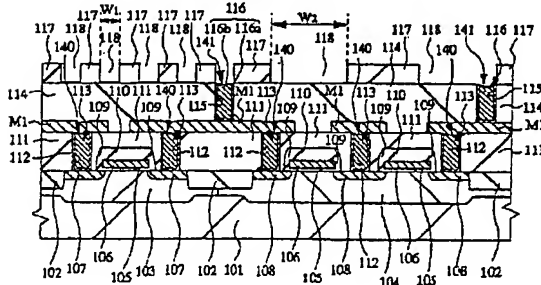
【図 32】

図 32



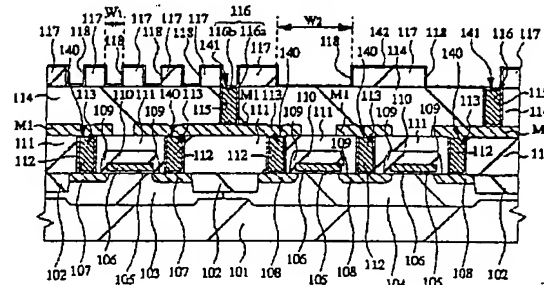
【図 33】

図 33



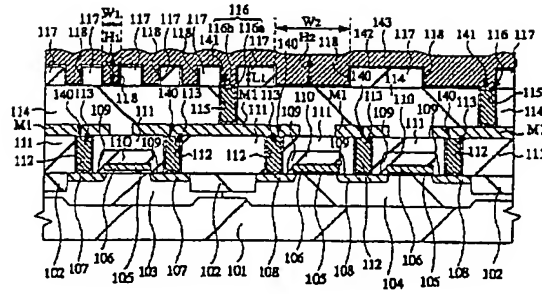
【図 34】

図 34



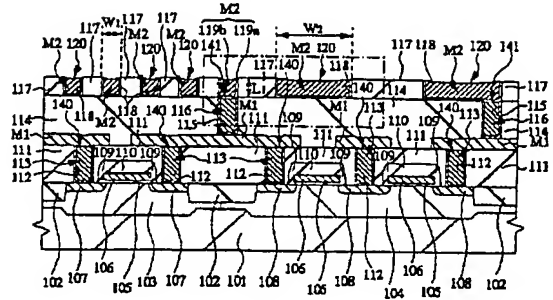
【図 35】

図 35



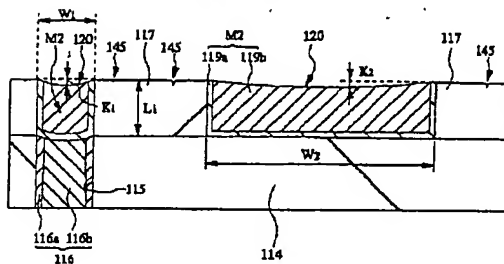
【図 36】

図 36



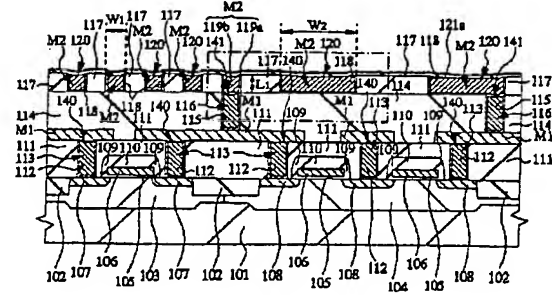
【図 37】

図 37



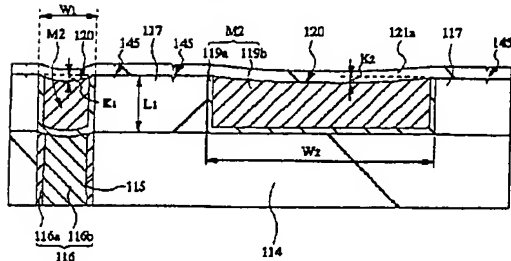
【図 38】

図 38



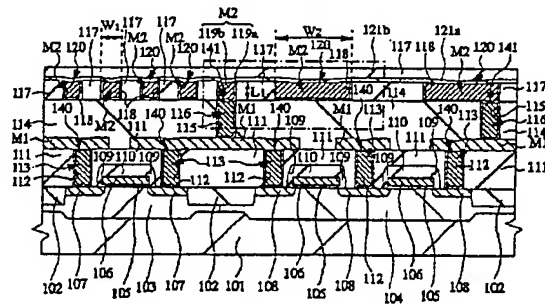
【図 39】

図 39



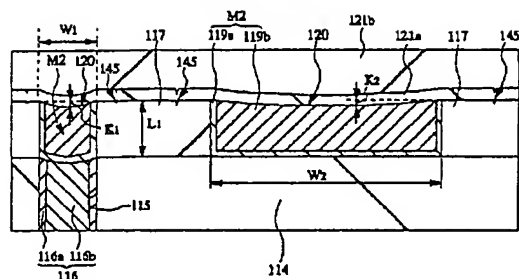
【図 40】

図 40



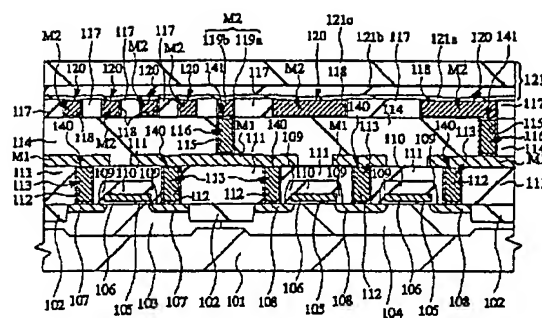
【図 41】

図 41



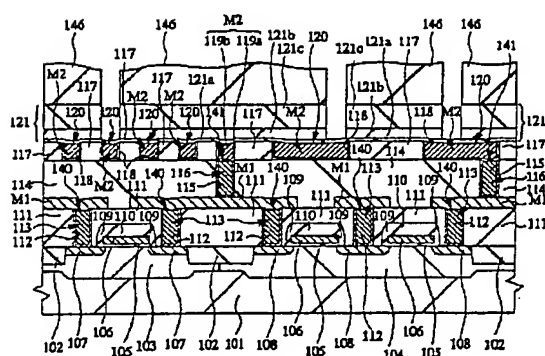
【図 42】

図 42



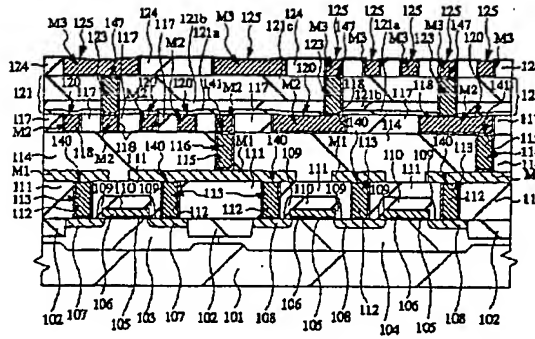
【図 43】

図 43



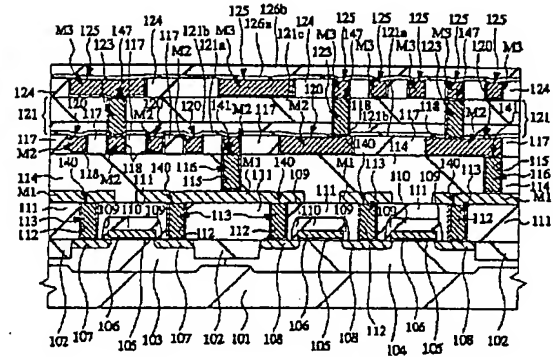
【図47】

図 47



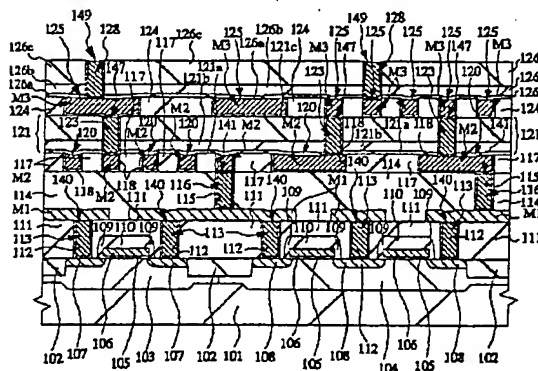
【図48】

図 48



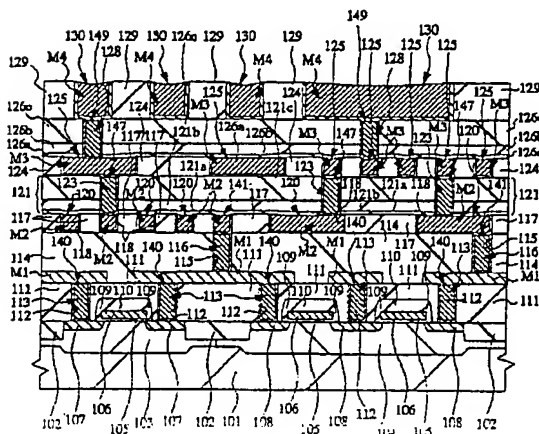
【図49】

図 49



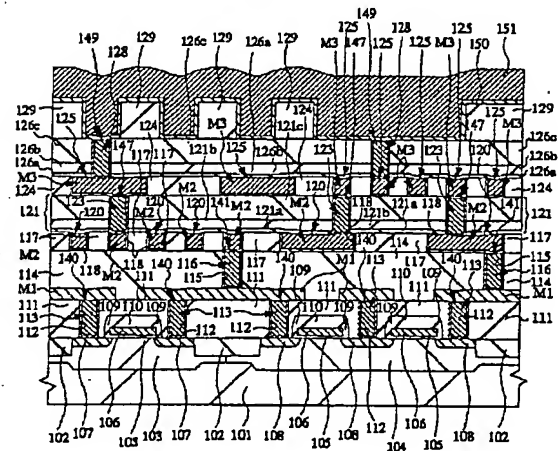
【図51】

図 51



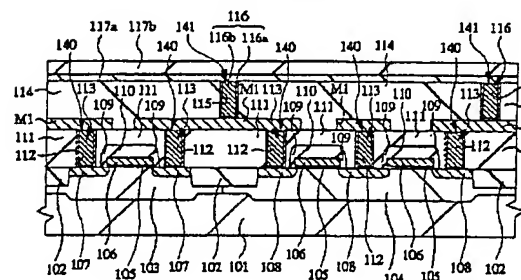
【図50】

図 50



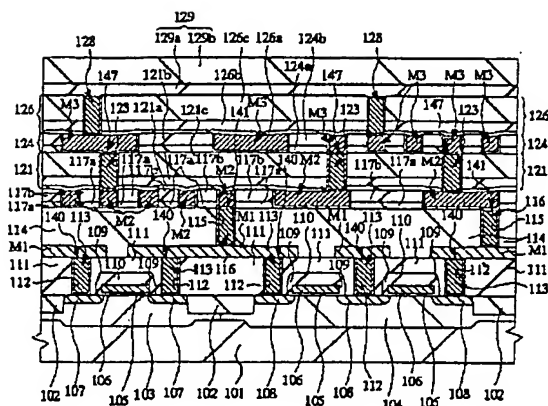
【図56】

図 56



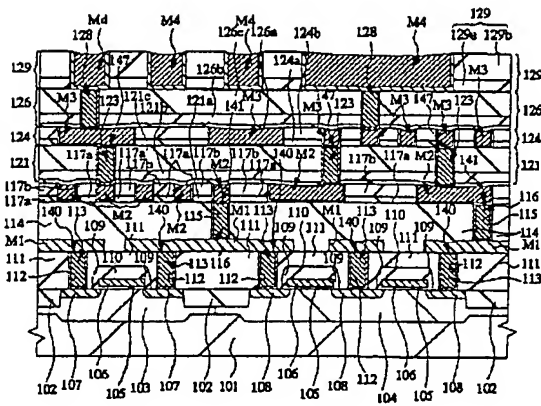
【図 63】

図 63



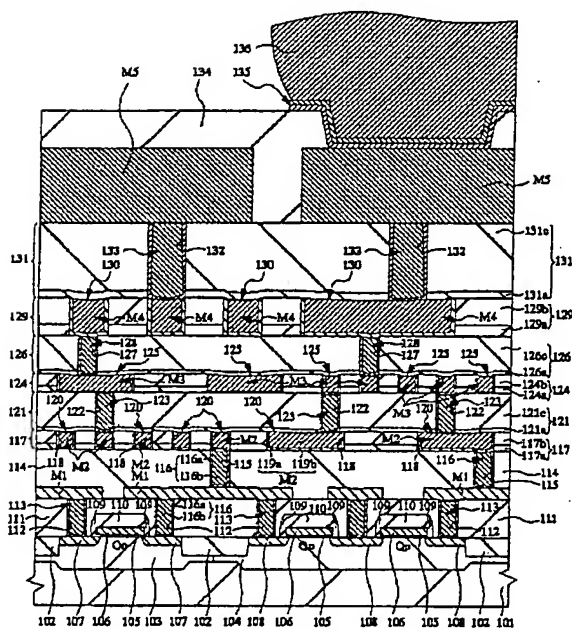
【図 64】

図 64



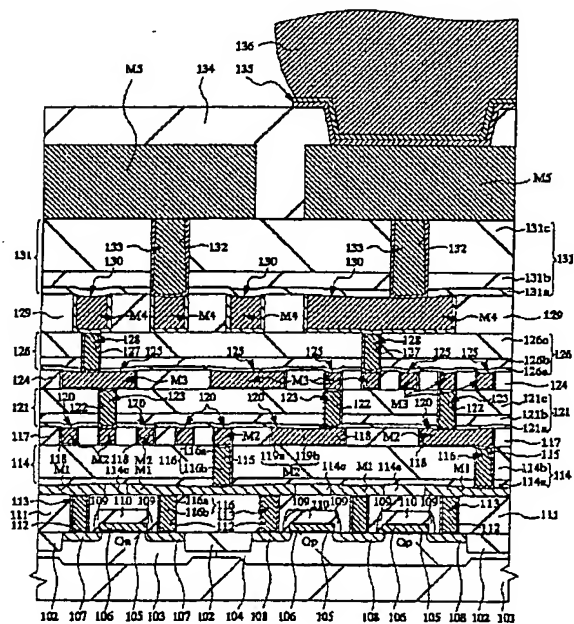
【図 65】

図 65

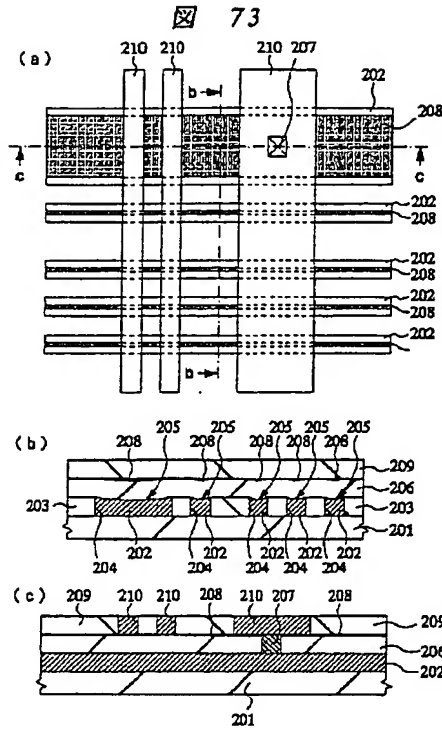


【図 66】

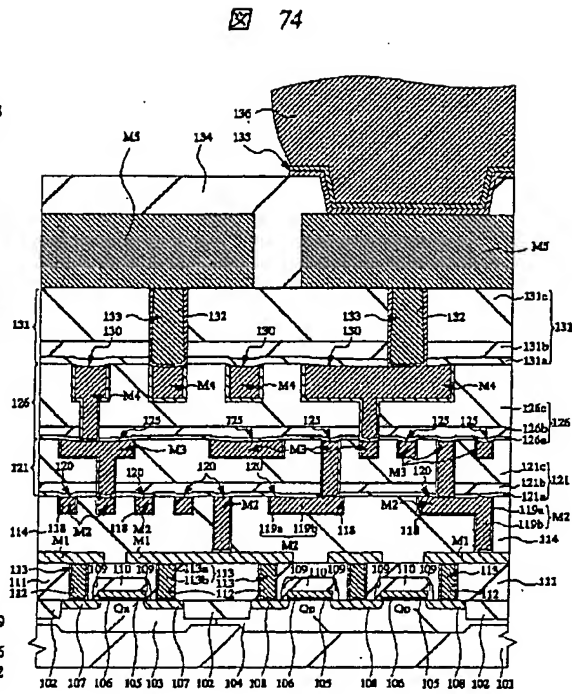
図 66



【図 73】

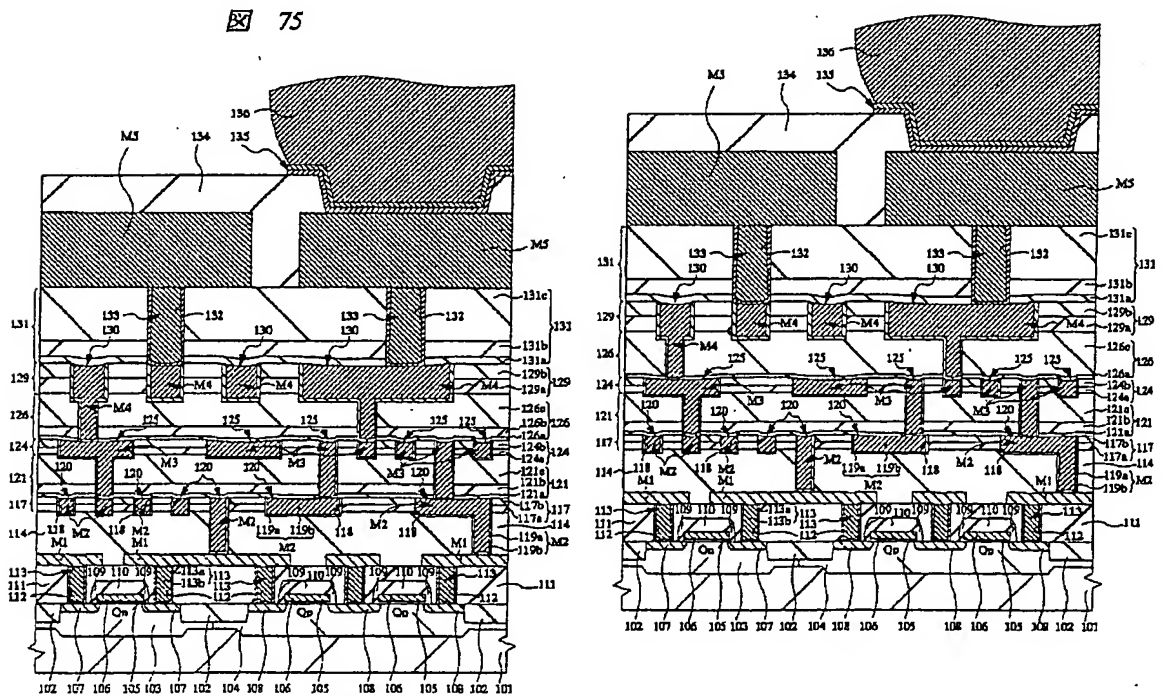


【図 74】



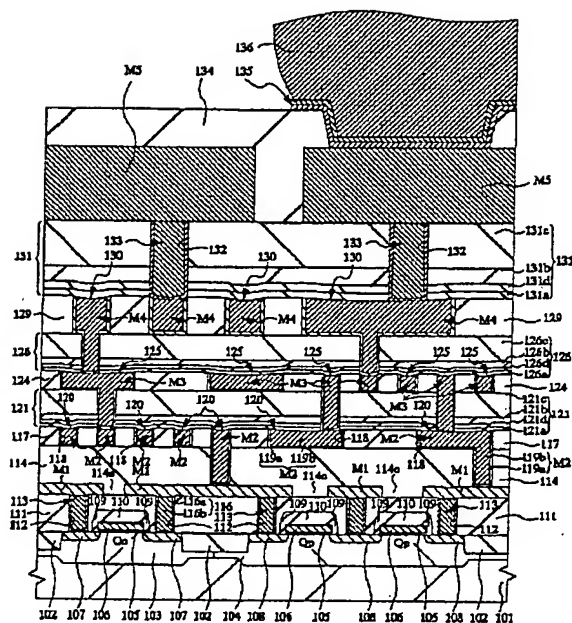
【図 76】

図 76



【図77】

図 77



フロントページの続き

(72)発明者 大和田 伸郎
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内